

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-029636

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

G06F 3/06  
G06F 1/24  
G06F 12/00  
G11C 11/401

(21)Application number : 11-065943

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.09.1993

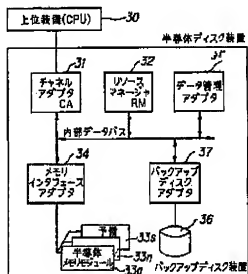
(72)Inventor : NAGASAWA SOICHIRO  
KONNO SHIGEO  
KAKIMI TOSHIAKI

## (54) I/O SUBSYSTEM, DATA STORAGE AND MEMORY INITIALIZATION METHOD IN I/O SUBSYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem at the time of compressing data and writing them to a semiconductor disk device.

SOLUTION: In the case of storing the data in semiconductor memory modules 33a-33n a channel adapter 31 compresses the data and writes them to the semiconductor memory modules, and after writing them, a data management adapter 35 reads the written compressed data from the semiconductor memory modules, compares the restored data with the data before compression and verifies the compressed data written in the semiconductor memory modules.



(51) IntCl.	識別記号	F I	テーマコード(参考)
G 0 6 F 3/06	3 0 1	G 0 6 F 3/06	3 0 1 W
1/24		12/00	5 5 0 A
12/00	5 5 0	1/00	3 5 0 C
G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 E

審査請求 有 請求項の数 9 O L (全 32 頁)

(21) 出願番号 特願平11-65943  
 (62) 分割の表示 特願平5-232677の分割  
 (22) 出願日 平成5年9月20日 (1993.9.20)

(71) 出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号  
 (72) 発明者 長沢 聡一郎  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 (72) 発明者 金野 茂生  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 (74) 代理人 100084711  
 弁理士 斉藤 千幹

最終頁に続く

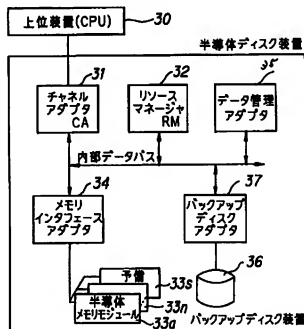
(54) 【発明の名称】 1/Oサブシステム及び1/Oサブシステムにおけるデータ記憶、メモリーニシライズ方法

## (57) 【要約】

【課題】 半導体ディスク装置にデータ圧縮して書き込む際の問題を解決する。

【解決手段】 データを半導体メモリモジュール33a～33nに記憶する場合、チャネルアダプタ31は該データを圧縮して半導体メモリモジュールに書き込み、書き込み後、データ管理アダプタ35は半導体メモリモジュールより該書き込んだ圧縮データを読み出して復元し、該復元データと圧縮前のデータを比較して半導体メモリモジュールに書き込まれた圧縮データの検証を行う。

## ：本発明の概略説明図（その2）



## 【特許請求の範囲】

【請求項1】 複数の半導体メモリチップにより構成された半導体メモリモジュールと、半導体メモリモジュールへのデータの書き込み及び読み出しを制御するメモリインターフェースアダプタと、上位装置及びメモリインターフェースアダプタとの間でデータの入出力制御を行うチャネルアダプタと、半導体メモリモジュールのアクセスに関して排他制御を実行する排他制御部を備えた1/0サブシステムにおけるデータ記憶方法において、データを半導体メモリモジュールに記憶する場合、チャネルアダプタにおいて該データを圧縮して半導体メモリモジュールに書き込み、

書き込み後、半導体メモリモジュールより該書き込んだ圧縮データを読み出して復元し、該復元データと圧縮前のデータを比較して半導体メモリモジュールに書き込まれた圧縮データの検証を行う1/0サブシステムにおけるデータ記憶方法。

【請求項2】 前記1/0サブシステムは半導体ディスク装置であり、各トラック先頭にディレクトリ部を書き込むと共に、各データの先頭に当該コード部分のデータが圧縮されているか否かを示すフラグを書き込み、該ディレクトリ部に、論理的なアドレス情報、物理的なメモリアドレス情報、圧縮の対象となったデータであることを示す圧縮フラグ、当該トラック部分のデータが最後に変更又は書き込まれた日時を含ませる請求項1記載のデータ記憶方法。

【請求項3】 バックアップディスク装置とバックアップディスク装置への入出力を制御するバックアップディスクアダプタを設け、半導体メモリモジュールの記憶データをバックアップディスク装置にバックアップした時、バックアップ完了時間を保存しておき、再度半導体メモリモジュールの記憶データをバックアップする時、前記ディレクトリ部に含まれている日時と前記バックアップ完了時間を比較し、バックアップ完了時間より古いデータはバックアップディスク装置にバックアップしない請求項2記載のデータ記憶方法。

【請求項4】 バックアップディスク装置とバックアップディスク装置への入出力を制御するバックアップディスクアダプタを設け、圧縮データを半導体メモリに書き込み中に該半導体メモリが満杯になった場合には、非圧縮データをバックアップディスク装置に格納し、

以後、バックアップディスク装置より該非圧縮データを半導体メモリに書き込む請求項1記載のデータ記憶方法。

【請求項5】 列アドレスと行アドレスを指定されてアクセスされると共に、行単位でリフレッシュ動作を行う揮発性メモリのインシャライズ方法において、揮発性メモリに初期設定データを書き込んでインシャ

イズする際、列アドレスを一定値に固定した状態で、行アドレスを昇順態様で順次発生して第1列の全メモリセルに初期設定データを書き込み、

ついで、列アドレスを歩進して同様の初期設定データの書き込みを行うメモリインシャライズ方法。

【請求項6】 列アドレスと行アドレスを指定されてアクセスされると共に、行単位でリフレッシュ動作を行う揮発性メモリのインシャライズ方法において、列アドレスを下位列アドレスと上位列アドレスに分け、上位列アドレスと行アドレスを固定した状態で下位列アドレスを昇順態様で順次発生して第j行の下位列アドレスで指定されるメモリセルに初期設定データを書き込み、

ついで、行アドレスを歩進して同様の初期設定データの書き込みを行い、

全行アドレスについて上記書き込みを行った後、上位列アドレスを歩進して上記初期設定データの書き込みを繰り返すメモリインシャライズ方法。

【請求項7】 列アドレスと行アドレスを指定されてアクセスされると共に、行単位でリフレッシュ動作を行う揮発性メモリのインシャライズ方法において、不揮発性メモリが複数のブロックで構成されている場合、

列アドレスを下位アドレスと上位アドレスに分け、上位列アドレスと行アドレスを固定した状態で下位列アドレスを昇順態様で順次発生して第j行の列下位アドレスで指定される第1ブロックのメモリセルに初期設定データを書き込み、以後同様にして全ブロックのメモリセルに初期設定データを書き込み、

ついで、行アドレスを歩進して同様の初期設定データの書き込みを全ブロックに行い、全行アドレスについて全ブロックへの上記書き込みを行った後、上位列アドレスを歩進して上記初期設定データの書き込みを繰り返すメモリインシャライズ方法。

【請求項8】 上位装置との間に単一あるいは複数のインターフェースを有するチャネルアダプタと、1/0デバイスとのインターフェースを司ると共にチャネルアダプタとの間でデータの入出力制御を行うデバイスアダプタと、全体の資源管理を行うリソースマネージャと、

複数の上位インターフェースにより共用される1/0デバイスを備えた1/0サブシステムにおいて、前記1/0サブシステムは、

複数の半導体メモリチップにより構成された半導体メモリモジュールを1/0デバイスとして有すると共に、半導体メモリモジュールへのデータの書き込み及び読み出しを制御するメモリインターフェースアダプタをデバイスアダプタとして有し、更に、データを半導体メモリモジュールに記憶する場合に該データを圧縮し、データを半導体メモリモジュールより読み出して上位装置に転送する場合には圧縮データを復元

するデータ圧縮・復元機構と、  
半導体メモリモジュールに圧縮データを書き込み後、該書き込まれた圧縮データを読み出して復元し、復元データと圧縮前のデータと比較して半導体メモリモジュールに書き込まれた圧縮データの検証を行う圧縮データ検証手段を有するI/Oサブシステム。

【請求項9】 上位装置との間に単一あるいは複数のインターフェースを有するチャネルアダプタと、I/Oデバイスとのインターフェースを司ると共にチャネルアダプタとの間でデータの入出力制御を行うデバイスアダプタと、全体の資源管理を行うリソースマネージャと、複数の上位インターフェースにより共用されるI/Oデバイスを備えたI/Oサブシステムにおいて、

前記I/Oサブシステムは、  
列アドレスと行アドレスを指定されてアクセスされると共に、行単位でリフレッシュ動作を行う排他制御の半導体メモリモジュールをI/Oデバイスとして有すると共に、

半導体メモリモジュールへのデータの書き込み及び読み出しを制御するメモリインターフェースアダプタをデバイスアダプタとして有し、更に、  
揮発性の半導体メモリモジュールに初期設定データを書き込んでインシャライズする際、列アドレスを一定値に固定した状態で、行アドレスを昇順態で順次発生して第1列の全メモリセルに初期設定データを書き込み、ついで、列アドレスを歩進して同様の初期設定データの書き込みを行うメモリインシャライズ手段を有するI/Oサブシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はI/Oサブシステム及びI/Oサブシステムにおけるデータ記憶、メモリインシャライズ方法に関する。

【0002】

【従来の技術】 近年の大型コンピュータシステムにおいては、その規模の巨大化に伴い、複数の中央処理装置（CPU）でシステムを構成することが通例となっている。かかるシステムでは、複数のCPU間でのデータの共用・データの通信が必要になる。このために、システム内で使用される外部記憶装置を始めとするI/Oデバイスサブシステムでは多数のホストインターフェース（上位インターフェース）を接続することが要求されている。この要求に答えるためにI/Oサブシステム内に複数の入出力インターフェースをもつ複数の入出力制御部（CA：チャネルアダプタ）を装備し、これらチャネルアダプタのインターフェースをCPUに接続している。又、複数のCPUよりのアクセスに対する排他制御を実施するために、入出力バスに対応した排他制御テーブルを装備した排他制御管理部（RM：リソースマネージャ）を有している。

【0003】 図4はかかるI/Oサブシステムとしての半導体ディスク装置の構成図である。1a、1bはCPU、2は半導体ディスク制御装置、3は半導体ディスクであり、複数の半導体メモリモジュール3a、3b、3c・・・を備えている。半導体ディスク装置は、磁気ディスク装置の振舞（コマンドコード、データ転送の仕方等）を維持したまま、記録媒体を磁気ディスクから半導体メモリに置き換えたものである。このため、CPUと半導体ディスク制御装置間のインターフェースはCPUと磁気ディスク制御装置とのインターフェースと全く同一になっている。この半導体ディスク装置によれば、磁気ディスクのようにヘッドの移動が不要のため、瞬時にアクセスできる利点があり、しかも、CPUと磁気ディスク制御装置間のソフトウェア資産をそのまま使える利点がある。

【0004】 半導体ディスク制御装置2において、2a、2bは上位装置（CPU）との間に単一あるいは複数のインターフェース（上位インターフェース）を有するチャネルアダプタCA、2c、2dは半導体ディスクへのデータの書き込み/読み出しを制御するメモリインターフェースアダプタ、2eは排他制御テーブルECTを備え、いずれの上位インターフェースも半導体メモリモジュール3a、3b、3cを使用していない場合には他の上位インターフェースに半導体メモリモジュール3a、3b、3cの使用を許可し、使用中の場合には使用を許可しない排他制御を実行するリソースマネージャRMである。尚、排他制御は半導体メモリモジュール毎に行われる。

【0005】 チャネルアダプタ2a、2bはCPU1

a、1b間にそれぞれ2つの物理インターフェース（物理ポート）2a<sub>0</sub>、2a<sub>1</sub>；2b<sub>0</sub>、2b<sub>1</sub>を有している。リソースマネージャ2eの有する排他制御テーブルECTは図5に示すように、チャネルアダプタ（チャネル番号）と各チャネルアダプタに装備されている物理インターフェースの組み合わせ（バス）毎に、半導体メモリモジュール3a、3b、3c（デバイス番号0～2）の使用巾、未使用を記憶するようになっている。尚、バスとしては（00）、（01）、（10）、（11）の4通りが存在する。

【0006】 かかるI/Oサブシステムにおいて、例えば、CPU1bから半導体メモリモジュール3bへのアクセスコマンドが物理インターフェース2b<sub>1</sub>を介してチャネルアダプタ2bに発行されると、チャネルアダプタ2bはリソースマネージャ2eに半導体メモリモジュール3bの使用を要求する。リソースマネージャ2eは使用要求が入力されると、他のバスが半導体メモリモジュール3bを使用中であるか否かを排他制御テーブルECTを参照して調べ、使用中の場合には使用を許可せず、使用中でない場合には、アクセス要求を出したアダプタ2bに対して使用を許可し、かつ、バス（11）に

対応させて半導体メモリモジュール3aの「使用中」を排他制御テーブルE C Tに登録する。使用許可されたチャネルアダプタ2bは以後、CPU1bより物理インターフェース2bを介してデータを受け取り、該データをメモリインターフェースアダプタ2dを介して半導体メモリモジュール3bに書き込む。書き込み終了により、リソースマネージャ2eはバス(11)に対応して登録した「使用中」を「未使用」に戻す。

#### 【0007】排他制御の問題

以上のように、従来のI/Oサブシステムにおいては、排他制御テーブルE C T上に、I/Oサブシステム内のチャネルアダプタに対応させてテーブル領域が予め割り当てられている。このため、I/Oサブシステムに収容するチャネルアダプタ数を増加し、かつ、各チャネルアダプタにおける物理インターフェース数を増加すると、排他制御テーブルが大きくなる。又、近年のデータ伝送技術の進歩・変遷と共に、多種のインターフェース方式(電気インターフェース方式、光インターフェース方式、O C リンクなど)が共存してきている。こうした中で、できるだけ多くのCPUに接続可能とするためには、現存する全てのインターフェース方式に対応する必要がある。換言すれば、各インターフェース方式に対応できるようにI/Oサブシステムに種々のチャネルアダプタを装備しなければならず、チャネルアダプタ数が増大する。また、それぞれのインターフェース方式においては、物理データ転送手段が異なるだけでなく、1つのチャネルアダプタに装備可能な物理インターフェース数も異なっている。このため、排他制御テーブルは益々大きくなる。

【0008】更に、1物理インターフェース上に複数の論理インターフェースが定義される場合があり、かかる場合には各論理インターフェースをも考慮して排他制御テーブルを作成しなければならない。図6はO C リンク用チャネルアダプタ、4bはCPU4ci(i=1,2,...)とI/Oサブシステム間に設けられ、インターフェースを動的に切り換えるO C リンク切替・中継器であり、該切替・中継器を介して最大256のCPUが1つの物理インターフェース上に定義できる。このように1つの物理インターフェース上に複数の論理インターフェースが定義されると各論理インターフェースはあたかも別々のインターフェースであるかのごとく扱って排他制御テーブルE C Tを作成しなければならない。

【0009】又、1つのI/Oデバイスに対してI/Oデバイスアドレスを複数(重複)定義することにより、多重アクセスを可能にする方法があり、マルチエクスポートと呼ばれる。このマルチエクスポートは、磁気ドラム装置、半導体ディスク装置、ディスクキャッシュのような同時に複数のエリアを別々の経路よりアクセスできるI/Oデバイスのアクセス方式として使用さ

れている。一方、コンピュータには仮想計算機Virtual Machine(単一のCPU上で独立に動作する個々のオペレーティングシステム)と呼ばれるアーキテクチャある。かかる仮想計算機(オペレーティングシステム)を複数動作させる場合、各々のオペレーティングシステムに対して1つのエクスポートを割り当て、各オペレーティングシステムによるI/Oデバイスアクセスの独立性を確保する。このように複数の仮想計算機が存在する場合、1つの物理インターフェース上に複数の論理インターフェースが存在する。かかる場合にも、各論理インターフェースはあたかも別々のインターフェースであるかのごとく扱って排他制御テーブルE C Tを作成しなければならない。

【0010】図7はマルチエクスポートの説明図である。あるインターフェース上のI/Oデバイスアドレスとして(0)H ~ (FF)Hのような256個のアドレスが定義可能であるとする。この時、アドレス上位ビットをエクスポート番号と定義する。例えば、図7(a)に示すように上位2ビットをエクスポート番号に割り当て、下位6ビットをデバイス番号とする。つまり、エクスポート0、1、2、3が定義される。I/Oサブシステム内の物理的なI/Oデバイスは1個でありデバイス番号が0であるとするエクスポート番号とI/Oデバイスアドレスとの関係は図7(b)に示すようになる。これら4つのI/Oデバイスアドレスが同一の物理デバイスを指す重複定義となる。このエクスポート番号は他の数でも良いし、エクスポート番号を示すビット位置も他の場所でも良い。

【0011】従来は、排他制御テーブル上にI/Oサブシステムの取りうる最大構成に合わせて固定的に領域を割り当てるものであり、かかる方式では排他制御テーブル上に大量のテーブル領域を確保しなければならず、大量のメモリ領域を必要とする問題が生じていた。図8は従来技術による排他制御テーブルの構成例を示すものであり、チャネルアダプタの最大搭載個数をn1、1つのチャネルアダプタに装備される物理インターフェースの最大個数をn2、更に1つの物理インターフェースに定義される論理インターフェースの最大個数をn3としている。テーブルの縦軸の要素数はn1×n2×n3となる。しかし、実際のサブシステムでは、物理インターフェースや論理インターフェースの個数はまちまちであり、テーブル上の多くの部分が未使用状態になっているの通例であり、大サイズの排他制御テーブルには無駄がある。

#### 【0012】半導体メモリに関する問題

半導体ディスク装置は、データの記憶・格納媒体が半導体メモリチップである。このため、磁気ディスク装置に比較すると、ビット当りの記憶コストが高くなる。又、半導体ディスク装置1台当りの記憶容量は少なくなる。この容量に関する問題を解決するために、半導体メモリチップの形状を工夫することや、その実装方法を改良す

ることなどが考えられるが、限界があり、依然としてコストに関する問題を解決することが困難である。コストの問題を解決するためには、物理的に同一の半導体メモリ資源に対して、より多くのデータを格納する技術が必要となる。従来の半導体ディスク装置では、磁気ディスク装置のエミュレーションを行う際に、実際の磁気ディスク装置と同様なフォーマット（CKDフォーマット）を採用している。つまり、磁気ディスク媒体からのデータ入力制御に必要なギャップ情報も半導体メモリ上にその領域を割り当てている。

【0013】図9は従来の半導体ディスク装置におけるデータフォーマットであり、DIRはトラック先頭に書き込まれるディレクトリ部であり、半導体ディスク固有のもので、実際の磁気ディスク装置には存在しないデータである。ディレクトリ部DIR以降にはカウント部Ci (i=1, 2, ...)、キー部Ki、データ部Diで構成されるレコードRiが複数個書かれる。カウント部Ciにはトラックアドレス、レコード番号、及び後に続くキー部、データ部の長さが記録される。キー部Kiは必ずしも必要でないが、アクセス法により検索のためのキーが記録される。データ部Diには一般に「ユーザデータ」と称するデータが書き込まれている。各部間はギャップgにより区切られている。かかるギャップgは半導体メモリをアクセスするためには必要のないものである。そこでギャップgを全て取り除くことにより、従来と物理的に同一の半導体メモリ資源に対して、多くのデータを格納することが行われている。しかしながら、これらギャップ領域もサブシステム全体として眺めた場合には微小なものであるため、余り効果のある解決とはならない。

【0014】近年注目される技術の一つとして、データの加工つまり圧縮を行うことにより、オリジナルデータの内容を損わずにデータのサイズを縮小させて外部記憶媒体に格納し、実際のデータ処理に際して、圧縮されたデータからオリジナルなデータを復元する圧縮・復元技術が種々開発されている。例えば、代表的なものとして、一塊のデータ列内におけるデータの連続性により符号化を行う方法で、ランゲルス符号化方式やユニバーサル符号化方式がある。ランゲルス符号化方式は例えば、“a”というデータに着目した場合、“aa”を“a2”、“aaaaa”を“a5”と表記することにより圧縮する方法である。

【0015】ユニバーサル符号化方式は既に出現して符号化済の入力データの部分データ列を表現する情報を用いて、以後の入力データを符号化するものである。ユニバーサル符号化の代表的な方法として、ジブレンペル(Ziv-Lempel)符号がある。例えば、宗像「Ziv-Lempelのデータ圧縮法」、情報処理、Vol.26, No.1, 1985年参照。このZiv-Lempel符号では、①ユニバーサル型と、②増分解型(Incremental parsing)の2つのアルゴリズムが

提案されており、ユニバーサル型アルゴリズムを用いた実用的な方法として、L.Z.S.S符号(T.C. Bell, "Better OMP/L Text Compression", IEEE Trans. on Commun., Vol. COM-34, No.12, Dec.1986)があり、又、増分解型アルゴリズムを用いた実用的な方法として、L.Z.W (Lempel- Ziv- Welch)符号がある(T.A. Welch, "A Technique for High-Performance Data Compression", Computer, June 1984)。

【0016】物理的に同一の半導体メモリに多くのデータを書き込む場合、データを圧縮して書き込み、読み出す場合復元する方法を採用することが考えられる。しかし、データ圧縮技術を採用する場合、いくつかの問題が上げられ、これらを解決しなければならない。問題の第1は、データ圧縮に要する時間、つまり転送に要するオーバーヘッド時間がかかることである。データ圧縮の方法により多少異なるが、データ圧縮処理には基本的にデータのパターンを監視するためのバッファリングや、符号化されたデータの登録・検索等の処理が必要となる。このため、何も加工を施さない場合のデータ転送と比較すると転送時間が長くなり、従って、データの頻的に依存しない均一な高速アクセスを可能とする半導体ディスク装置にとって、これらのオーバーヘッド時間は無視できない。

【0017】問題の第2は、圧縮されたデータの大きさは、実際に圧縮を行ってみなければ求めることは不可能であることである。このため、ある記憶されたデータを読み出して一部に変更を加えてから再度書き込みを行う際に、圧縮後のデータの大きさが異なるため、同じ場所に記憶させることができるとは限らない。ランゲルス法を例に取ってみると、“aaaaa”を符号化して半導体メモリに記憶後、このデータを変更して“aaba a”とした場合、“a2ba2”となり、圧縮の効果が得られない。更に、データの圧縮率はデータの種類の依存するため、不連続なデータのパターンやデータの出現率が一定でない場合には、一般的に圧縮は不可能であり、最悪オリジナルなデータより加工したデータの方が大きくなってしまふ恐れがある。問題の第3は、オリジナルなデータに関して加工を行うため、データ圧縮機構等に異常があった場合、圧縮されたデータを復元できないものでその正常・異常を知ることができないことである。以上より、データ圧縮・復元により半導体メモリに格納するデータ量を増大させるには上記問題点を解決できるように工夫する必要がある。

【0018】メモリインシャライズ時間の問題  
半導体ディスク装置のように、不揮発性のメモリを用いた記憶装置においては、電源投入時や活性抑圧を行った時、メモリの記憶内容は不定の状態になる。かかる場合、メモリに特定のデータ（初期設定データ）を書き込んで初期状態にするインシャライズ動作が必要になり、インシャライズ動作が終了しないと装置を使用すること

ができない。このため、電源投入後しばらく待たされることになる。又、アクセス制御部がインシャライズ動作を実行するため、その間はメモリアクセスができない等の不都合が発生する。記憶装置においてかかる不都合を少しでも軽減する必要がある、そのためにはインシャライズ時間の短縮やメモリアクセス経路の改善を行わなければならない。

【00219】従来の技術では、図10に示すような構成になっており、電源投入時にインシャライズ開始信号1NSが上位モジュール又はアクセス制御部11内で発生すると、かかるインシャライズ開始信号1NSが発生すると、それを受信したデータレジスタ12はインシャライズ用の書き込みデータ1DTを内部にセットする。又、インシャライズ用アドレスカウンタ13はインシャライズ用アドレス1ADを出力する。アドレス切替回路14は入力上位モジュールからのアドレス信号ADからインシャライズ用アドレス信号1ADに切り換え、インシャライズ用書き込みデータ1DTをデータバス15に、インシャライズアドレス信号1ADをアドレスバス16に出力すると共に、図示しないメモリアクセス用のタイミング信号を出力して、記憶部10に対するインシャライズ動作を実行する。尚、REFはリフレッシュ指示信号、1EDはインシャライズ終了信号である。

【0020】図11は、別の従来構成であり、3つの記憶部10a、10b、10cを2つのアクセス制御部11a、11bから個別にアクセスする場合を示している。尚、アクセス制御部11a、11bは図10のアクセス制御部11と同一の構成になっている。中央の記憶部10bが活性挿板により追加された場合、上側のアクセス制御部11aは記憶部10bをアクセスして前述と同様のインシャライズを実行する。その間に下側のアクセス制御部11bは上位モジュールからアドレス信号ADとデータ信号DT受信し、これらをアドレスバス16とデータバス15に出力すると共に、図示しないメモリアクセス用のタイミング信号を出力して、他の2つの記憶部10a、10cにアクセスし、上位モジュールからのアクセス要求を処理する。

【0021】上記のごとく、従来はアクセス制御部でインシャライズアドレスを生成、そのアドレスに従ってインシャライズ用データをメモリに書き込むことによりインシャライズを行っている。ところで、揮発性メモリをインシャライズする場合、メモリ内のデータを保持するためのリフレッシュ動作も必要になる。そのため、インシャライズ用アドレスカウンタ13はリフレッシュ指示信号REF（図10参照）が入力されると、インシャライズアドレス信号1ADの生成を一次停止し、リフレッシュ動作が完了した後、再びインシャライズ用アドレス信号1ADの生成を開始する。このため、インシャライズに要する時間は、インシャライズ用データ1DTの書き込み時間とリフレッシュを実行する時間の合計にな

る。

【0022】しかし、インシャライズに要する時間が増大すると、インシャライズが完了するまで上位モジュールからのアクセス要求を処理できず、電源投入してから実際に使用できるまでの時間が増大してしまう。また、図11に示す構成の場合には、他方のアクセス制御部は上位からのアクセス要求を処理することができる。しかし、その間、装置としてのメモリアクセス能力が半減してしまい、やはりインシャライズに要する時間が増大すると、性能の低下が大きくなる。

【0023】

【発明が解決しようとする課題】以上より、従来は、半導体ディスク装置にデータを圧縮して書き込む場合、①転送時間の増大が無視できない、②事前に圧縮データの大きさを把握することが不可能である、③圧縮制御機構に異常が発生した場合復元するまでデータの異常を認識できない等の種々の問題があった。更に、従来は、半導体メモリ等のインシャライズにリフレッシュが必要になり、アクセスできるまでの待ち時間が大きくなる問題があった。

【0024】以上から本発明の目的は、データを圧縮して半導体ディスク装置に記憶しても、従来のデータ圧縮に伴う問題点を解決できるデータ記憶方法及びI/Oサブシステムを提供することである。本発明の別の目的は、リフレッシュ動作を不要にして半導体メモリ等のインシャライズ時間を短縮できるインシャライズ方法及びI/Oサブシステムを提供することである。

【0025】

【課題を解決するための手段】上記課題は本発明によれば、①複数の半導体メモリチップにより構成された半導体メモリモジュールをI/Oデバイスとして有すると共に、②半導体メモリモジュールへのデータの書き込み及び読み出しを制御するメモリインターフェースアダプタをデバイスアダプタとして有し、更に、③データを半導体メモリモジュールに記憶する場合に該データを圧縮し、データを半導体メモリモジュールより読み出して上位装置に転送する場合には圧縮データを復元するデータ圧縮・復元機構と、④半導体メモリモジュールに圧縮データを書き込み後、該書き込まれた圧縮データを読み出して復元し、復元データと圧縮前のデータを比較して半導体メモリモジュールに書き込まれた圧縮データの検証を行う圧縮データ検証手段、を有するI/Oサブシステムにより達成される。

【0026】又、上記課題は本発明によれば、①列アドレスと行アドレスを指定されてアクセスされると共に、行単位でリフレッシュ動作を行う揮発性の半導体メモリモジュールをI/Oデバイスとして有すると共に、②半導体メモリモジュールへのデータの書き込み及び読み出しを制御するメモリインターフェースアダプタをデバイスアダプタとして有し、更に、③揮発性の半導体メモリ

モジュールに初期設定データを書き込んでインシャライズする際、列アドレスを一定値に固定した状態で、行アドレスを昇順態様で順次発生して第1列の全メモリセルに初期設定データを書き込み、ついで、列アドレスを歩進して同様の初期設定データの書き込みを行うメモリインシャライズ手段、を有する1/Oサブシステムにより達成される。

#### 【0027】

【作用】データを半導体メモリモジュールに記憶する場合、データ圧縮・復元機構は、該データを圧縮して半導体メモリモジュールに書き込み、書き込み後、半導体メモリモジュールより該書き込んだ圧縮データを読み出して復元し、圧縮データ検証手段は、該復元データと圧縮前のデータを比較して半導体メモリモジュールに書き込まれた圧縮データの検証を行う。以上のようにすれば、データ圧縮に伴う問題をクリアできるため、圧縮データを書き込むことにより実質的に大量のデータを半導体メモリに格納することができる。列アドレスと行アドレスを指定されてアクセスされ、かつ、行単位でリフレッシュ動作を行う揮発性メモリに初期設定データを書き込んでインシャライズする際、列アドレスを一定値に固定した状態で、行アドレスを昇順態様で順次発生して第1列の全メモリセルに初期設定データを書き込み、ついで、列アドレスを歩進して同様の初期設定データの書き込みを行う。このようにすれば、データ書き込み時にリフレッシュと書き込みを同時に行うため、1列分のデータ書き込み時間がリフレッシュ必要時間間隔より短い場合にはリフレッシュを別途行う必要がなくインシャライズ時間を短縮できる。

#### 【0028】

##### 【実施例】(A) 本発明の概略

図1～図3は本発明の概略説明図である。図1において、21a～21cは上位装置(CPU)との間に単一あるいは複数のインターフェース(上位インターフェース)を有する複数の入出力インターフェース部(チャネルアダプタ)、22は複数の上位インターフェースにより共用される1/Oデバイス(半導体メモリ)、23は排他制御テーブルECTと論理バス管理テーブルPTを備え、いずれの上位インターフェースも1/Oデバイスを使用していない場合には他の上位インターフェースに1/Oデバイスの使用を許可し、使用中の場合には使用を許可しない排他制御を実行する排他制御部(リソースマネージャ)である。図2において、31は上位装置(CPU)30及びメモリインターフェースアダプタとの間でデータの入出力制御を行うチャネルアダプタ、32は半導体メモリモジュールのアクセスに関して排他制御を実行する排他制御部(リソースマネージャ)、33a～33nは複数の半導体メモリチップにより構成された半導体メモリモジュール、34は半導体メモリモジュールへのデータの書き込み及び読み出しを制御するメモ

リインターフェースアダプタ、35は半導体メモリモジュールに書き込まれた圧縮データの検証を行うデータ管理アダプタ、36はバックアップディスク装置、37はバックアップディスクアダプタである。図3において、41はリフレッシュが必要を揮発性メモリ、CAは列アドレス、RAは行アドレスである。

#### 【0029】排他制御(図1)

排他制御部23は、各入出力インターフェース部21a～21cの上位インターフェースの各々に論理バス番号を割り当て、所定の論理バス番号を割り当てられた上位インターフェースを介して1/Oデバイス22の使用要求が入力された時、他の論理バスが1/Oデバイスを使用中であるか否かを排他制御テーブルECTを参照して調べ、使用中でない場合には、アクセス要求を出した上位インターフェースに1/Oデバイスの使用を許可すると共に、該上位インターフェースの論理バス番号に対応させて1/Oデバイスの「使用中」を排他制御テーブルECTに登録し、使用終了により登録した「使用中」を「未使用」に戻す。この場合、1つの上位インターフェースは1つの物理インターフェースに対応する場合もあるが、物理インターフェース上に複数の論理インターフェースが定義されている時には、1つの上位インターフェースは1つの論理インターフェースに対応する。すなわち、物理インターフェース上に1以上の論理インターフェースが定義された時は、各論理インターフェースを上位インターフェースとして論理バス番号を割り当てる。又、単一の1/Oデバイスに対して複数の1/O機番を付し、1台の上位装置上のオペレーティングシステムが各1/O機番を用いて同時に該1/Oデバイスにアクセス可能な場合、該上位装置との物理インターフェースに1/O機番数の上位インターフェース番号を付し、それぞれの上位インターフェースに論理バス番号を割り当てる。以上のようにすれば、従前のように1/Oサブシステムの最大構成に合わせて大きな排他制御テーブルを固定的に用意する必要がなく、実際に接続されている上位インターフェースのみリストアップとした排他制御テーブルを用意するだけでよい。このため、排他制御テーブルの大きさを小さくでき、使用するメモリ量を少なくできる。

【0030】又、論理バス番号の割り当て制御を以下のように行う。すなわち、排他制御部23は論理バス管理テーブルLPTを設け、電源投入時あるいは論理インターフェース定数時、各入出力インターフェース部(21a～21c)は排他制御部23に対して自分に接続されている全上位インターフェースの論理バス番号の割り当てを要求する。排他制御部23は論理バス番号の割り当て要求により空いている論理バス番号を割り当てると共に、該論理バス番号と入出力インターフェース部の識別情報(CA番号)と上位インターフェース識別情報との対応を論理バス管理テーブルLPTに登録し、上位イン



ターフェースに論理バス番号を割り当てる。又、排他制御部23は、論理バス管理テーブルLPTを電源が断になっても記憶内容を消失しない不揮発性メモリに記憶すると共に、該メモリに記憶されている論理バス管理テーブルLPTに基づいて論理バス番号を割り当てを行うか、あるいは前記論理バス番号の割り当てを行うかを指示する指示手段(スイッチ)を設け、スイッチのオン・オフに基づいて論理バス番号の割り当てを行う。このようにすれば、電源切断前の論理バス番号の割り当てを再現できるため、障害発生時の問題解析・再現試験等で同一の環境を構築できる。

#### 【0031】データ記憶制御(図2)

データを1/10サブシステムにおける半導体メモリモジュール33a~33nに記憶する場合、チャネルアダプタ31は内蔵のデータバッファに格納されたデータを圧縮して半導体メモリモジュール33a~33nに書き込み、書き込み後、データ管理アダプタ35は半導体メモリモジュールより該書き込んだ圧縮データを読み出して復元し、該復元データと圧縮前のデータ(非圧縮データ)を比較して半導体メモリに書き込まれた圧縮データの検証を行う。この場合、圧縮データを半導体メモリモジュール33a~33nに書き込み後、データバッファに格納されている非圧縮データを予備の半導体メモリモジュール33sに書き込み、該予備の半導体メモリモジュールより前記比較に用いる非圧縮データを読み出す。データ比較の結果、異常が検出された場合には、データ管理アダプタ35は予備の半導体メモリモジュール33sから読み出したデータを圧縮して半導体メモリモジュール33a~33nに書き込み、しかる後、該書き込んだ圧縮データを読み出して復元し、該復元データと非圧縮データを比較して半導体メモリモジュール33a~33nに書き込まれた圧縮データの検証を行い、検証結果を半導体メモリモジュールにのトラックの先頭に置かれるディレクトリ部に記録する。又、圧縮データを半導体メモリモジュール33a~33nに書き込み中に該半導体メモリモジュールが満杯になった場合には、非圧縮データをバックアップディスク装置36に格納し、格納後、バックアップディスク装置36より該非圧縮データを半導体メモリモジュール33a~33nに書き込む。以上のようにすれば、データ圧縮に伴う問題点をクリアできるため、圧縮データを書き込むことにより実質的に大量のデータを半導体メモリに格納することができる。

#### 【0032】イニシャライズ(図3)

列アドレスCAと行アドレスRAを指定されてアクセスされると共に、行単位でリフレッシュ動作を行う揮発性メモリ41に初期設定データを書き込んでイニシャライズする際、列アドレスCAを一値1に固定した状態で、行アドレスRAを昇順態様で順次発生して第1列の全メモリセル(①~②)に初期設定データを書き込み、

ついで、列アドレスを歩進して同様の初期設定データの書き込みを行う(③~④)。このようにすれば、データ書き込み時にリフレッシュと書き込みを同時に行うため、1列分のデータ書き込み時間がリフレッシュに必要時間間隔より短い場合にはリフレッシュを別途行う必要がなくイニシャライズ時間を短縮できる。尚、高速のメモリの場合には、列アドレスCAを下位列アドレスと上位列アドレスに分け、上位列アドレスと行アドレスを固定した状態で下位列アドレスを昇順態様で順次発生して第j行の下位列アドレスで指定されるメモリセルに初期設定データを書き込み、ついで、行アドレスを歩進して同様の初期設定データの書き込みを行い、全行アドレスについて上記書き込みを行った後、上位列アドレスを歩進して上記初期設定データの書き込みを繰り返す。このようにしても、リフレッシュを別途行う必要がなくイニシャライズ時間を短縮できる。

#### 【0033】(B)実施例

##### (a)排他制御の実施例

##### 全体の構成

図12は本発明の排他制御を具現化した実施例構成図である。20は1/10サブシステムとしての半導体ディスク装置30a、30i、30sは上位装置としてのCPU(CPU0~CPU2)である。半導体ディスク装置において、21a、21b、21cは上位装置(CPU)との間に単一あるいは複数のインターフェース(上位インターフェース)を有するチャネルアダプタ(CA0~CA2)、22は複数の半導体メモリモジュール22a~22nを備えた半導体ディスク(トラックメモリ)であり、各半導体メモリモジュール22a~22nはCPUに対して1つの1/10デバイスとして提供される。23は排他制御テーブルECTと論理バス管理テーブルLPTを備え、論理バス管理制御、排他制御等の処理を実行するリソースマネージャ(RM)であり、排他制御テーブルECT及び論理バス管理テーブルLPTはそれぞれ不揮発性領域に記憶される。論理バス管理制御は各チャネルアダプタに接続された上位インターフェースに論理バス番号を付与、管理する制御であり、排他制御は、いずれの上位インターフェースも半導体メモリモジュールを使用していない場合に他の上位インターフェースに該半導体メモリモジュールの使用を許可し、使用中の場合には使用を許可しない制御である。尚、排他制御は半導体メモリモジュール毎に行われる。従って、排他制御テーブルECTは半導体メモリモジュール毎に設けられる。

【0034】24は半導体ディスク22へのデータの書き込み・読み出しを制御するメモリインターフェースアダプタ、25は保守、モジュール監視等の処理を行うサービスアダプタ(SA)、26は保守パネルであり、論理バス番号の割り当て方法を指示するスイッチSW等を有している。論理番号割り当て方法としては、チャネルアダプタ21a~21cから論理バス番号の割り当て要

求があった時に①空き論理バス番号を割り当てる方法（論理バス番号非固定モード）と、②不揮発性領域に記憶してある電源切断前の論理バス管理テーブルに基づいて論理バス番号を割り当てる方法（論理バス番号固定モード）の2つの方法がある。スイッチSWがオフの場合には前者により論理バス番号を割り当て、スイッチがオンの場合には後者の方法により論理バス番号を割り当てる。

【0035】27は内部バスであり、図示しないがC-BUS、D-BUS、S-BUSを有している。C-BUSは各ユニットがメッセージ通信及び制御情報のアクセスを行う制御用バス、D-BUSは各ユニットが半導体ディスクとの間でデータを授受するデータ転送用バス、S-BUSはサービスモジュールがマスターになり、各ユニットの状況を管理するサービスバスである。チャネルアダプタ21aには1つの物理インターフェース（物理ポート）0が設けられ、チャネルアダプタ21bには2つの物理インターフェース0、1が設けられ、チャネルアダプタ21cには3つの物理インターフェース0、1、2が設けられている。チャネルアダプタ21aの物理インターフェース0はCPU30とのインターフェースを構成し、チャネルアダプタ21bの物理インターフェース0、1はそれぞれCPU30、30とのインターフェースを構成し、チャネルアダプタ21cの物理インターフェース0、1、2はそれぞれCPU30、30、30とのインターフェースを構成する。

【0036】チャネルアダプタ21a～21c、リソースマネージャ23、メモリインターフェースアダプタ24、サービスアダプタ25はそれぞれマイクロプロセッサで構成されており、おおむね図13に示す構成を備えている。図において、101はマイクロプロセッサ（MPU）、102はRAM構成の制御記憶部（CS）、103はROM構成の制御記憶部（CS）、104は内部バスに接続されたドライバ/レシーバ（DV/RV）、105はバスインターフェースロジック（BIL）、106は外部インターフェースと接続されたドライバ/レシーバ（DV/RV）、107はバッファ又はテーブル記憶部（TS）、108は個別LSI（ゲートアレイ）である。尚、接続される外部インターフェースの数によってドライバ/レシーバ（DV/RV）106の数が異なる。

#### 【0037】論理バス管理テーブル

論理バス管理テーブルLPTは図14に示すように、論理バス番号とチャネルアダプタの番号（CA番号）と上位インターフェース番号の対応関係を記憶するものである。物理インターフェースに論理インターフェースが定義されていない場合には上位インターフェースは該物理インターフェース（物理ポート）に1対1に対応する。一方、物理インターフェース上に複数の論理インターフェースが定義された場合には、上位インターフェースは

論理インターフェースと1対1に対応する。

【0038】論理バス管理テーブルLPTは以下のようにして生成される（論理バス番号固定モードの場合）。すなわち、電源投入時、各チャネルアダプタ21a～21cは自分と接続されている各上位インターフェースの論理バス番号の割り当てをリソースマネージャ23に要求する。リソースマネージャ23は論理バス番号の割り当てにより、空いている論理バス番号を該上位インターフェースに割り当てると共に、該論理バス番号とチャネルアダプタの番号（CA番号）と上位インターフェース番号との対応を論理バス管理テーブルLPTに登録する。かかる登録処理を全チャネルアダプタについて実行することにより論理バス管理テーブルLPTが生成される。図14ではチャネルアダプタ21aの上位インターフェース0に論理バス番号0が割り当てられ、チャネルアダプタ21bの上位インターフェース0に論理バス番号1が割り当てられ、チャネルアダプタ21bの上位インターフェース1に論理バス番号1が割り当てられ、・・・（以下同様）の場合が示されている。

【0039】一度論理バス番号を割り当てた後、オプション増設などによりチャネルアダプタの上位インターフェースが増加する場合、あるいは論理インターフェースを定義した場合、チャネルアダプタはリソースマネージャに対して追加された上位インターフェースについて論理バス番号の割り当てを要求する。これにより、リソースマネージャ23は前述と同様に空いている論理バス番号を該上位インターフェースに割り当てると共に、該論理バス番号とチャネルアダプタの番号（CA番号）と上位インターフェース番号との対応を論理バス管理テーブルLPTに登録する。・・・動的割り当て追加

【0040】又、論理バス番号を割り当てた後に、チャネルアダプタ上の所定の上位インターフェースを削除する場合、あるいは、チャネルアダプタ自体をI/Oサブシステムから取り去る場合（部品故障時の修理時が該当する）、該当する論理バス番号の割り当てを削除する。・・・動的割り当て削除

【0041】上記論理バス番号割り当てでは、I/Oサブシステムの装置起動時、あるいはオプション増設等に、論理バス番号を随時割り当てて行く。このため、たとえ同じ構成であっても、CPUあるいはサブシステム内の電源投入順序などにより、番号そのものが変動しうる。この事態は、通常使用時には何ら問題ではないが、障害発生時の問題解析、再現試験等での同一環境の構築に困難を生じる。そこで、不揮発性領域を設け、バス管理テーブルLPTを保存する。又、前述のように、外部保守員等から操作可能なスイッチSWを保守パネルに設ける。スイッチSWがオフ状態の時には、上述したようにチャネルアダプタより論理バス番号割り当てが要求される都度、新たに論理バス番号を割り当てる。一方、スイッチがオンの場合には、不揮発性領域に保存されている

テーブル情報と同一の論理バス番号を割り当てる。スイッチは、保守口により固定割り当てを行うか否かに応じて適宜オン・オフされる。・・・論理バス番号固定モード

#### 【0042】排他制御テーブル

排他制御テーブルE C Tには図15に示すように、論理バス番号に対応させて、I/Oデバイス（半導体メモリモジュール）を使用しているか否かを示すデータ（使用中/未使用表示データ）、半導体メモリのリザーブ表示データ、バスグループ情報（バス名）等が記憶されるようになっている。尚、排他制御テーブルは半導体メモリモジュール毎に設けられている。ある上位インターフェースが半導体メモリモジュールを使用中の場合には、該上位インターフェースの論理バス番号に応じた使用中/未使用表示データが“1”になり、使用終了により“0”に戻る。又、ある上位インターフェースが所定の半導体メモリモジュールを専用的に使用するためにリザーブコマンドを発行すれば、リザーブ表示データが“1”になり、リリースコマンドを発行すればリザーブ表示データが“0”になる。リザーブ表示データが“1”の場合には、他の上位インターフェースより該半導体メモリモジュールに対するアクセス要求を出してもビジーが返される。

#### 【0043】論理バス番号の割り当て

図16は上位インターフェースが物理インターフェースに1対1に対応する場合におけるバス割り当ての説明図である。各チャネルアダプタ21a～21cに装備された物理インターフェースが上位インターフェースとなり、論理バス割り当て制御により、図17に示すような論理バス管理テーブルL P Tが生成される。図18は上位インターフェースが論理インターフェースに1対1に対応する場合におけるバス割り当ての説明図である。チャネルアダプタ21bはO Cリンク用のアダプタであり、1つの物理インターフェース21b'に切替・中継器28を介して4つのC P U 20a～20dが接続されている。すなわち、1つの物理インターフェース21b'上に4つの論理インターフェース29が定義されている。かかる場合には、上位インターフェースは各論理インターフェースに1対1に対応し、それぞれの上位インターフェース（0～3）に対して論理バス番号を割り当てる。従って、図16におけるチャネルアダプタ21bと各C P U間が図18に示すようになっているものとする。論理バス割り当て制御により論理バス管理テーブルL P Tは図18(b)に示すようになる。

【0044】図19はエクスポートの場合における論理バス割り当て制御の説明図である。C P U 20が1つの物理インターフェース21b'を介してチャネルアダプタ21bに接続されている場合において（図19(a)参照）、半導体メモリモジュール22aに2つの機番アドレスをエクスポートにより設定する。このエクスポート

により1台のC P U 20はあたかも2台の仮想計算機V M 1、V M 2となり、各仮想計算機は1つの物理インターフェース21b'を介して半導体メモリモジュール22aにアクセス要求を出せるようになる。かかる場合、1つの物理インターフェース21b'上に2つの論理インターフェースが定義されたことになる（図19(b)参照）。上位インターフェースは各論理インターフェースに1対1に対応するから、各上位インターフェース（0～1）に対して論理バス番号を割り当てる。従って、図16におけるチャネルアダプタ21bの物理インターフェースに接続されているC P Uが2つのエクスポートを設定した場合には、論理バス管理テーブルL P Tは図19(c)に示すようになる。

#### 【0045】論理バス番号割り当て制御

図20は論理バス割り当て制御におけるリリースマネージャ23の処理の流れ図である。リリースマネージャ23の電源が投入されると、初期診断を実施した後、機能プログラムが起動し、スイッチS Wのオン・オフを調べ（ステップ201）。スイッチがオフであれば論理バス管理テーブルL P Tの内容を初期化し（ステップ202）、オンの場合には初期化しない。ついで、チャネルアダプタから論理バス番号の割り当て要求（割り当て要求コマンド+C A番号+上位インターフェース番号）が発行されたか監視し（ステップ203）、発行されれば、スイッチS Wのオン・オフを調べ（ステップ204）、オフの場合には、新たな論理バス番号を割り当て、論理バス番号テーブルL P Tに該論理バス番号とC A番号と上位インターフェース番号の対応を登録する（ステップ205）。登録後、該論理バス番号を割り当て要求を出したチャネルアダプタに通知し（ステップ206）、ステップ203に戻り以降の処理を繰り返す。

【0046】一方、ステップ204においてスイッチS Wがオンの場合には、論理バス管理テーブルL P Tより、割り当て要求に含まれるC A番号と上位インターフェース番号をキーに論理バス番号を検索する（ステップ207）。ついで、該検索された論理バス番号を割り当て要求を出したチャネルアダプタに通知し（ステップ206）、ステップ203に戻り以降の処理を繰り返す。尚、論理バス番号はI/Oサブシステム内の全ての上位インターフェースに割り当てられた通し番号である。

【0047】図21は論理バス割り当て制御における各チャネルアダプタ21a～21cの処理の流れ図である。尚、電源投入時には、物理インターフェースと1対1に対応する上位インターフェース、あるいはエクスポート割り当てによる上位インターフェース（既知）の論理バス番号の登録を行う。所定のチャネルアダプタの電源が投入されると、初期診断を実施した後、機能プログラムが起動する。チャネルアダプタは自分に接続されている上位インターフェースの個数を計数、確認し、第i番目の上位インターフェースの論理バス番号の割り当

てをリソースマネージャ23に要求する(ステップ301)。尚、この割り当て要求は、割り当て要求コマンドとCA番号と上位インターフェース番号で構成されている。

【0048】ついで、リソースマネージャ23から論理バス番号の通知があったか監視し(ステップ302)、通知があれば、図22(a)に示すように、上位インターフェース番号に対応させてリソースマネージャから通知された論理バス番号をテーブルに登録する(ステップ303)。登録後、全物理インターフェースに付いて、割り当てが完了したか調べ(ステップ304)、完了しなければ、1を歩進して次の第1番目の上位インターフェースについてステップ301以降の処理を繰返し、全上位インターフェースの論理バス番号を登録する。OCリンクの場合には、システム稼動中にダイナミックに論理インターフェースが定義される。図22はかかる場合の論理バス番号割り当て制御におけるチャネルアダプタの処理の流れ図である。

【0049】チャネルアダプタ(OCリンク用のチャネルアダプタ)はCPUよりリンク確立の指示があったか監視し(ステップ401)、あれば、上位インターフェース番号に対応させてOCリンク番号を登録する(ステップ402、図22(b)参照)。ついで、該上位インターフェースの論理バス番号の割り当てをリソースマネージャ23に要求する(ステップ403)。以後、リソースマネージャ23から論理バス番号の通知があったか監視し(ステップ404)、通知があれば、図22(b)に示すように、上位インターフェース番号、OCリンク番号に対応させてリソースマネージャから通知された論理バス番号をテーブルに登録し(ステップ405)、ステップ401に戻り以降の処理を実行する。

#### 【0050】排他制御

図24は排他制御の流れ図である。所定のCPUから所定のチャネルアダプタに上位インターフェースを介してアクセス要求(リード、ライトコマンド)が発生すると(ステップ501)、チャネルアダプタはコマンドが発行された物理インターフェース及び論理インターフェースがどこにあるか調べ、上位インターフェース番号を認識し、該上位インターフェース番号に基づいてテーブルより論理バス番号を求める(ステップ502)。ついで、該論理バス番号を付加したI/Oデバイス(半導体メモリモジュール)の使用要求コマンドをリソースマネージャ23に送り(ステップ503)、リソースマネージャからの使用許可を待つ(ステップ504)。リソースマネージャ23は使用要求コマンドを受信すれば、排他制御テーブルECTを参照して他の論理バス(上位インターフェース)が半導体メモリモジュールを使用中であるか否か及びリザーブ中であるかを調べ(ステップ505)、使用中でなく、しかもリザーブ中でない場合には、使用要求コマンドに付加されてきた論理バス番号に

対応させてI/Oデバイスの「使用中」を排他制御テーブルECTに登録する(ステップ506)。ついで、アクセス要求を出したチャネルアダプタにI/Oデバイスの使用を許可する(ステップ507)。なお、使用中の場合には使用許可せず、使用不可(ビジー)を応答する。

【0051】チャネルアダプタは使用許可通知を受信すると、CPUと半導体メモリモジュールとの間でデータの転送を行い(ステップ508)、アクセス終了により使用終了をリソースマネージャ23に通知すると共に(ステップ509)、CPUにコマンド終了を通知する(ステップ510)。リソースマネージャ23は使用終了通知により前記論理バス番号に対応させて登録した「使用中」を「未使用」に戻し、排他制御を終了する。

#### 【0052】その他の制御

コンピュータシステムの運用を続けていくと、業務規模の拡大等の理由によりCPUの増設が行われることがある。新規に設置したCPUからも既設のI/Oサブシステムを使用したいような場合には、I/Oサブシステムにインターフェースないしはチャネルアダプタの追加を行う必要が生じる。インターフェース・チャネルアダプタの追加を行った際には、前述の電源投入時と同様に、追加されたチャネルアダプタがリソースマネージャに論理バス番号の割り当てを要求し、新規番号を登録することにより、以後、排他制御の対象に加えられる。又、ハードウェア部品の障害が発生し、修理のためチャネルアダプタをI/Oサブシステムから取り除く場合には、論理バス管理テーブルLPT上の当該チャネルアダプタに関連する論理バス番号に対応するエリアを未登録状態にする(登録抹消)。

【0053】こうした運用中の論理バス番号の追加、削除などは、他の論理バス番号のインターフェースを介して行われている動作には何等影響しないので、I/Oサブシステム、更にはコンピュータシステム全体の運用を継続しながらオプション増設、モジュール交換、保守等が可能である。ところで、本発明の論理バス番号割り当ては、たとえI/Oサブシステム内部の構成(チャネルアダプタ数、インターフェース数)が同一であっても、I/Oサブシステムの電源投入の順序により、電源投入のたびに変動しうる。番号が変動しても実運用上の動作には何等支障はなく動作可能である。しかし、例えば、ハードウェア部品ないしはマイクロプログラムの不具合等により排他制御上の問題が発生した時には、問題解析さらには問題事象の再現実験を実施する必要がある、かかる場合、同一環境の構築が重要になってくる。そこで、このような場合には、前述の論理バス番号を固定にするスイッチSWをオンとして論理バス番号固定モードとする。これにより、確実に同一の論理バス番号の割り当てを行うことができる。又、固定モードの場合には、論理バス番号の新規割り当ては可能であるが、論理

バス番号の削除が発生した場合には論理バス管理テーブルLPTよりの抹消は行わない。これは、モジュール修正後の再登録時にも同一論理バス番号を割り当てるためである。尚、スイッチSWはシステムが運用形態が確立した時にオンに固定するような使い方もできる。

#### 【0054】半導体ディスク装置の実際の構成

図25はI/Oサブシステムとしての半導体ディスク装置の全体構成図であり、二重化構成になっており、添字1を有するモジュールは第1の半導体ディスク装置G0側のモジュールであり、添字2を有するモジュールは第2半導体ディスク装置G1側のモジュール、添字の無いモジュールは共通のモジュールである。CAは上位装置のチャネルとのインターフェース制御を行うチャネルアダプタであり、電気チャネル、光チャネル、OCリンクに対応する種々のチャネルアダプタが適宜接続されるようになっている。RMはリソースマネージャであり論理バス管理、排他制御等の処理動作を制御すると共にサブシステム全体の資源管理を行う。SAはサービスアダプタであり、自分がマスターになり、他のユニットの状況を管理する。

【0055】C-BUSは各ユニットがメッセージ通信及び制御情報のアクセスを行う制御用バス、B-BUSは各ユニットが半導体ディスクとの間でデータを授受するデータ転送用バス、S-BUSはサービスモジュールがマスターになり、各ユニットの状況を管理するサービスバスである。BH-1、BH-2はバスの競合制御、バスクロックの分配を行うバスハンドラ、MDKはメモリ障害時に該メモリの内容を一時的にバックアップする磁気ディスク装置、DAは磁気ディスク装置とのインターフェース制御を行うデバイスアダプタ、BANKは半導体ディスク(共用メモリ)であり、最大10枚の半導体メモリモジュールMSが搭載されるようになっている。ESP1〜ESP4は半導体ディスクへのアクセス制御を行うポート(Extended Storage Port)、ESA1〜ESA4はESPと半導体メモリモジュールMS間のタイミング制御や、メモリのリフレッシュ、エラーチェックコードに基づくデータ修正を実行するメモリアダプタ、PANELは保守パネルである。

【0056】第1、第2半導体ディスク装置G0、G1は中央点線を中心に対称に構成されており、上位CPUは対称に第1、第2半導体ディスク装置のチャネルアダプタCA1、CA2に接続され、それぞれのポートESP2、ESP3は他方のメモリアダプタESA3、4と接続されている。従って、一方のチャネルアダプタに障害が生じてもCPUは他方のチャネルアダプタから半導体ディスクをアクセスすることができる。又、一方の半導体ディスクが障害を生じても他方の半導体ディスクにアクセスすることができ、信頼性を向上している。以上では、I/Oサブシステムとして半導体ディスク装置の場合について説明したが、本発明の排他制御は半導体ディ

スク装置に限定されるものではなく、磁気ディスク装置、ディスクキャッシュ等のI/Oサブシステムに適用できるものである。

#### 【0057】(b) データ記憶制御 全体の構成

図26は半導体ディスク装置の半導体メモリモジュールにデータを圧縮して記憶する場合の全体構成図である。30はCPU等の上位装置、31は上位装置(CPU)及びメモリインターフェースアダプタとの間でデータの出入力制御を行うチャネルアダプタ、32は半導体メモリモジュールのアクセスに関して排他制御等の制御を実行するリソースマネージャ、33a〜33nは複数の半導体メモリチップにより構成された半導体メモリモジュール、33sは予備の半導体メモリモジュール、34は半導体メモリモジュールへのデータの書き込み及び読み出しを制御するメモリインターフェースアダプタ、35は半導体メモリに書き込まれた圧縮データの検証を行うデータ管理アダプタ、36はバックアップディスク装置、37はバックアップディスクアダプタである。チャネルアダプタ31及びデータ管理アダプタ35はそれぞれ、大容量のデータバッファ31a、35a、データ圧縮機構部31b、35bを有し、又、バックアップディスクアダプタ37はデータ圧縮機構部37aを備えている。

【0058】データをI/Oサブシステムにおける半導体メモリモジュール33a〜33nに記憶する場合、チャネルアダプタ31のデータ圧縮機構部31bはデータバッファ31aに格納された入力データを圧縮して半導体メモリモジュール33a〜33nに書き込む。又、データバッファ31aに記憶されている圧縮前のデータ(非圧縮データ)を予備の半導体メモリモジュール33sに書き込む。これらデータの書き込み完了後、データ管理アダプタ35のデータ圧縮記憶部35bは、半導体メモリモジュール33a〜33nに書き込まれた圧縮データを読み出して復元したデータバッファ35aに格納する。しかる後、予備の半導体メモリモジュール33sより非圧縮データを読み出し、復元データと該非圧縮データを比較して半導体メモリに書き込まれた圧縮データの検証を行う。尚、比較検証を行っている期間、任意のチャネルアダプタから当該データに関するアクセス要求があってもリソースマネージャ32はビジー応答を返す。

【0059】データ比較の結果、異常が検出された場合には、データ管理アダプタ35は予備の半導体メモリモジュール33sから読み出したデータを圧縮して半導体メモリモジュール33a〜33nに書き込み、しかる後、該書き込んだ圧縮データを読み出して復元し、該復元データと非圧縮データを比較して半導体メモリモジュール33a〜33nに書き込まれた圧縮データの検証を行い、検証結果(比較失敗フラグやリカバリ成功フラグ)を半導体メモリモジュールのトラック先頭に置かれ

るディレクトリ部に記録する。尚、各データの先頭に当該レコード部分のデータが圧縮されているか否かを示すフラグを書き込み、又、ディレクトリ部には前記検証結果のほかに、論理的なアドレス情報、物理的なメモリアドレス情報、圧縮の対象となったデータであることを示す圧縮フラグ、当該トラック部分のデータが最後に変更又は書き込まれた日時（アップデート情報）を含ませる。

【0060】又、圧縮データを半導体メモリモジュール33a~33nに書き込み中に該半導体メモリモジュールが満杯になった場合には（例えば、圧縮データの方が非圧縮データよりサイズが大きい場合）、チャネルアダプタ31は非圧縮データをバックアップディスク装置36を介してバックアップディスク装置36に格納する。格納後、バックアップディスク装置36はバックアップディスク装置36より該非圧縮データを読み出して半導体メモリモジュール33a~33nに書き込む。更に、半導体メモリの記憶データをバックアップディスク装置36にバックアップする場合には、該データをバックアップディスク装置37で圧縮してバックアップディスク装置36に格納し、バックアップディスク装置からデータを読み出す場合には復元する。この場合、バックアップ完了時間を保存するとき、再度半導体メモリの記憶データをバックアップする時、ディレクトリ部に含まれている日時と前記バックアップ完了時間を比較し、バックアップ完了時間が古いデータはバックアップディスク装置にバックアップしない。これにより、バックアップ時間の短縮を図る。

#### 【0061】チャネルアダプタの構成

図27はチャネルアダプタ31の構成図である。チャネルアダプタ内部には、転送データを記憶する大容量のデータバッファ31aと、チャネルインターフェースと内部バスインターフェースとの間で転送されるデータの圧縮・復元を行うデータ圧縮機構部31bと、圧縮・復元動作を補助する辞書メモリ31cと、チャネルインターフェースプロトコル制御部31dと、データバッファ及びデータ圧縮機構部からのデータを選択して出力すると共に、逆にデータをデータバッファあるいはデータ圧縮機構部に選択的に出力するセレクタ31eと、半導体ディスク装置内部の他のユニットと接続された内部バスを制御する内部バスインターフェース制御部31fと、これらハードウェア資源をマイクロプログラムにより制御するMPU31gと、プログラムを格納するコントロールストレージ31hと、バス31iが設けられている。

【0062】チャネルインターフェースプロトコル制御部31dは、上位装置との間で送受信されるコマンドの内容を解析し、インターフェース上の規定されたシーケンスに基づいてデータの転送を制御する。チャネルインターフェースプロトコル制御部31dは上位装置から半導体メモリモジュール33a~33nへ格納するデータ

を受信するとそのデータを一時的に大容量のデータバッファ31aに格納する。データ圧縮機構部31bはデータバッファに格納された入力データを圧縮する。セレクタ31eはMPU31gの制御によりデータ圧縮機構部31bにより圧縮したデータ又はデータバッファに格納されたオリジナルなデータ（非圧縮データ）を選択し、選択したデータを内部バスインターフェース制御部31fに入力する。セレクタからのデータを受信した内部バスインターフェース制御部31fは、メモリインターフェースアダプタ34へデータを送出する。通常、ライト時には、データ圧縮機構部31bで圧縮された圧縮データはセレクタ31e→内部バスインターフェース31f→メモリインターフェースアダプタ34を介して半導体メモリモジュール33a~33nに書き込まれ、また、非圧縮データはデータバッファ31a→セレクタ31e→内部バスインターフェース31f→メモリインターフェースアダプタ34を介して予備の半導体メモリモジュール33sに書き込まれる。

【0063】一方、半導体メモリモジュール33a~33nに書き込まれたデータを上位装置へ転送する場合には、セレクタ31eはデータの直前に書き込まれている圧縮データ/非圧縮データの識別フラグを参照してデータを選択的にデータ圧縮機構部31bあるいはデータバッファ31aに出力する。すなわち、内部バスインターフェース制御部31fがメモリインターフェースアダプタ34から受信したデータが圧縮データであれば、セレクタ31eは該データをデータ圧縮機構部31bに入力し、非圧縮データの場合にはデータバッファ31aに入力する。データ圧縮機構部31bは圧縮データを復元してデータバッファ31aに格納する。データバッファ31aに格納されたデータは、チャネルインターフェースプロトコル制御部31dへ送出され、チャネルインターフェースを介して上位装置に転送される。

#### 【0064】データ管理アダプタ

図28はデータ管理アダプタ35の構成図である。データ管理アダプタ35の内部には、大容量のデータバッファ35aと、転送されるデータの圧縮・復元を行うデータ圧縮機構部35bと、圧縮・復元動作を補助する辞書メモリ35cと、半導体ディスク装置内部の他のユニットと接続された内部バスを制御する内部バスインターフェース制御部35dと、圧縮データを復元したデータとオリジナルなデータを比較して圧縮データの検証を行うデータコンパイル制御部35eと、内部バスインターフェース制御部35dより入力されデータが圧縮データであるか非圧縮データであるか等に応じて、入力データを適宜選択的にデータ圧縮機構部35bとデータバッファ35bとデータコンパイル制御部35eに入力するセレクタ35fと、これらハードウェア資源をマイクロプログラムにより制御するMPU35gと、プログラムを格納するコントロールストレージ35hと、バス35iが設け

られている。

【0065】チャネルアダプタ31が半導体メモリモジュール33a～33nに圧縮データの書き込み、及び予備の半導体メモリモジュール33sに非圧縮データの書き込みが終了すれば、データ管理アダプタ35は圧縮データの読み出しを行なう。圧縮データは内部バスインタフェース35d、セクタ35fを介してデータ圧縮機構部35bへ入力され、データ圧縮機構部35bは圧縮データを復元し、復元データをデータバッファ35aに格納する。ついで、データ管理アダプタ35は予備の半導体メモリモジュール33sに書き込まれている非圧縮データの読み出しを行なう。非圧縮データは内部バスインタフェース35d、セクタ35fを介してデータコンパ制御部35eへ転送される。データコンパ制御部35eは、データバッファ35aに格納されている復元データと予備の半導体メモリモジュールから読み出した非圧縮データの比較を行なう。

【0066】データ比較の結果、異常が検出された場合には、以下の動作により内部的な修復処理を実施する。すなわち、再度、予備の半導体メモリモジュール33sから非圧縮データの読み出しを実施し、内部バスインタフェース35d、セクタ35fを介してデータバッファ35aに格納する。非圧縮データの読み出し完了後、データ圧縮機構部35bはデータバッファ35aに格納されたデータを圧縮し、圧縮データをセクタ35f、内部バスインタフェース35dを介して半導体メモリモジュール33a～33nに書き込む。圧縮データの書き込み完了後、再び前述のデータの比較処理を行ない、データの正常性を確認する。

#### 【0067】バックアップディスクアダプタ

バックアップディスクアダプタ37の内部には、データの圧縮・復元を行なうデータ圧縮機構部37aと、圧縮動作を補助する辞書メモリ37bと、内部バスインタフェースを介してデータ転送を制御する内部バスインタフェース制御部37cと、バックアップディスク装置36に接続される磁気ディスクインタフェース制御部37dと、内部バスインタフェース制御部37cを介して入力されるデータをデータ圧縮機構部37aと磁気ディスクインタフェース制御部37dに選択的に出力し、かつ、データ圧縮機構部出力と磁気ディスクインタフェース制御部出力を選択的に内部バスインタフェース制御部37cに出力するセクタ37eと、これらハードウェア資源をマイクロプログラムにより制御するMPU37fと、プログラムを格納するコントロールストレージ37gと、バス37hが設けられている。

【0068】半導体メモリモジュール33a～33nに格納されているデータのバックアップ動作が開始すると、内部バスインタフェース制御部37cを介して受信されたデータはセクタ37eによりデータ圧縮機構部37aに転送される。データ圧縮機構部37aは既に他

のデータ圧縮機構部等により圧縮されたデータを含む全てのデータを圧縮して磁気ディスクインタフェース制御部37dに送出する。磁気ディスクインタフェース制御部37dは受信したデータを圧縮・非圧縮データを意識せずにバックアップディスク装置36に書き込む。尚、セクタ37eの操作によりデータ圧縮機構部37aによるデータ圧縮することなくバックアップディスク装置への書き込みが可能である。

#### 【0069】データフォーマット

従来のデータフォーマットは図9に示すように磁気ディスクに対するエミュレーションを行なうために、通常の磁気ディスクに書き込まれるデータフォーマットと同一のものを使用している。トラヒック先頭に書き込まれるディレクトリ部D1Rは半導体ディスク固有のもので、実際の磁気ディスク装置には存在しないデータで、磁気ディスクではギャップの一部分に相当する。ディレクトリ部D1R以降にはカウント部C1（1=1, 2, …），キー部K1、データ部D1で構成されるレコードR1が複数個書かれる。カウント部C1にはトラックアドレス、レコード番号、及び後に続くキー部、データ部の長さが記録される。キー部K1は必ずしも必要でないが、アクセス法により検索のためのキーが記録される。データ部D1には一般に「ユーザデータ」と称するデータが書き込まれている。各期間はギャップgにより区切られている。

【0070】本発明では、半導体メモリモジュール33a～33nに格納するデータのうち、制御情報として使用されるディレクトリ部D1R、カウント部C1、キー部K1を除いた部分のデータ（つまりデータ部のみ）を圧縮の対象としている。又、半導体ディスク装置では不必要なギャップ部分をできる限り削除し、その代わりに半導体ディスク装置としての付加情報をギャップ相当部分に書き込んでいる。図30は半導体メモリモジュールに書き込まれる本発明のデータフォーマットの説明図である。このデータフォーマットでは、ディレクトリ部D1R、カウント部C1、キー部K1の後に当該レコードのデータが圧縮データか非圧縮データであるかの識別フラグd1を書き込み、その後データ圧縮機構部により圧縮されたデータd1'が書き込まれている。ディレクトリ部D1Rには、論理的なアドレス情報d1、物理的なメモリアドレス情報d2、圧縮の対象となったデータであることを示すデータ圧縮フラグd3、当該トラック部分のデータが最後に変更又は書き込まれた日時（アップデート情報）d4、該当トラックのデータの一部分がバックアップディスク36に格納されているかを示すバックアップディスク使用フラグd5、データ管理アダプタによる検証結果を表示する比較失敗フラグd6、リカバリ成功フラグd7が含まれている。

#### 【0071】データ書き込み制御

図31はデータ書き込み制御のシーケンス説明図であ

10

20

30

40

50

る。半導体ディスクの場合、上位装置からのアクセスは、高速アクセス可能な磁気ディスク装置に対するアクセスと同様に行われる。従って、通常の磁気ディスクへのアクセスと同様にしてシーク等の位置づけや、データ転送を指示するリードコマンド、ライトコマンドが上位装置から発行される。位置付けコマンドを受信したチャネルアダプタ31はリソースマネージャ32に対して半導体メモリモジュールの使用許可を要求する。使用許可されると、指示された物理的な位置付けパラメータから、該当する半導体メモリモジュールのアドレスの算出を行う。ついで、求めたアドレスが存在するトラックのディレクトリ情報を半導体メモリモジュールから読み出し、書き込まれている論理ドライブや物理ドライブに関する諸情報に対する処理を実施する。

【0072】位置付け動作が完了してライトコマンドが上位装置から発行されると、チャネルアダプタ31はチャネルインターフェースプロトコル制御部31dを介して受信したデータをデータバッファ31aに格納する。チャネルアダプタ31のMPU31gは、当該データがデータ部に相当するデータである場合には、セクタ31eをしてデータ圧縮機構部31bの出力側を選択させる。データ圧縮機構部31bはデータバッファ31aに格納されている入出力データを圧縮し、セクタは該圧縮データを内部バスインターフェース制御部31fへ入力する。内部バスインターフェース制御部31fへ入力された圧縮データは、内部バスを介してメモリインターフェースアダプタ34に送出され、所定の半導体メモリモジュール33a~33nの該当するアドレス位置に格納される。

【0073】圧縮データの格納が完了すると、チャネルアダプタのMPU31gは当該データが圧縮データであることを示すフラグF1をデータフォーマットに従って半導体メモリモジュールに書き込む。更に、MPU31gはセクタ31eを制御してデータバッファ31aに格納されているオリジナルなデータ（非圧縮データ）を内部バスインターフェース制御部31fに送出し、予備の半導体メモリモジュール33sに書き込む。以上の書き込みが終了するとMPU31gは、ディレクトリ部DIIRにおけるアップデータ情報や圧縮トラックを示すフラグ情報等の更新処理を行い、更新後のディレクトリ情報部DIIRを半導体メモリモジュール33a~33nの該当するトラック先頭に書き戻す。

【0074】チャネルアダプタ31による半導体メモリモジュール33a~33n、33sへの全ての書き込み動作が完了するとリソースマネージャ32は排他制御により当該データに関する上位装置からのアクセスを一時ビジー状態とし、データ管理アダプタ35に圧縮データの検証動作開始を指示する。データ管理アダプタ35のMPU35gは、圧縮データに関するディレクトリ部DIIRを半導体メモリモジュール33a~33nから読み

出し、更に当該圧縮データの読み出しを行う。半導体メモリモジュールから内部バスインターフェースを介して転送されたデータは、内部バスインターフェース制御部35d、セクタ35fを経由してデータ圧縮機構部35bに入力される。

【0075】データ圧縮機構部35bは入力されたデータを復元してデータバッファ35aに格納する。ついで、予備の半導体メモリモジュール33sから非圧縮データの読み出しを開始し、該非圧縮データをデータコンペア制御部35eに入力する。データコンペア制御部35eは、復元されたデータと非圧縮データの比較処理を実行する。比較の結果、データの正常性が確認された場合には、以後ディレクトリ部の書き戻し等の処理は実行せず、正常終了をリソースマネージャ32に通知し、データの検証動作を終了する。正常終了を受け付けたリソースマネージャ32は、当該データに関する上位装置からのアクセスに対するビジー状態を解除する。

【0076】一方、データ比較の結果、データの異常が検出された場合には、データ管理アダプタ35のMPU35gは予備の半導体メモリモジュール33sから非圧縮データの読み出しを行う。データ圧縮機構部35bは読み出した非圧縮データを基にしてデータ圧縮し、該圧縮データを半導体メモリモジュール33a~33nに書き込む。圧縮データの書き込みが終了すると、データ管理アダプタ35は上述のデータ検証処理を実行する。再度の検証処理により、半導体メモリモジュールに再格納した圧縮データの正常性が確認された場合には、該圧縮データに関するディレクトリ内部のコンペア失敗フラグd6及び正常リカバリフラグd7を共に"1"にセットし、該ディレクトリ部を半導体メモリモジュールに書き戻す。ディレクトリ部の書き戻し動作完了後、検証処理終了をリソースマネージャ32に通知して処理を終了する。リソースマネージャ32は当該データに関する上位装置からのアクセスに対するビジー状態を解除する。

【0077】一方、データ管理アダプタ35は、データリカバリ処理の結果、再度、データの異常が検出されると、コンペア失敗フラグd6のみ"1"にセットし（正常リカバリフラグd7はセットしない）、ディレクトリ部の書き戻しを行う。ディレクトリ部の書き戻し動作完了後、検証処理終了をリソースマネージャ32に通知して処理を終了する。リソースマネージャ32は当該データに関する上位装置からのアクセスに対するビジー状態を解除する。以上は、書き込み時に、半導体メモリモジュールに領域オーバフローが生じない場合である。図32は半導体メモリモジュールに領域オーバフローが生じた場合の書き込みシーケンスの説明図である。

【0078】データ圧縮の結果、圧縮データがオリジナルなデータよりサイズが大きくなると指定された半導体メモリモジュール33a~33nへのデータ書き込みが物理的に不可能になる場合がある。かかる場合、領域オ



一バフローによるエラーがリソースマネージャ32に通知される。リソースマネージャ32はエラー通知によりチャネルアダプタ31に半導体メモリモジュールへのデータ書き込み中断を指示し、代わってバックアップディスク装置36への非圧縮データの書き込みを指示する。これにより、チャネルアダプタ31は圧縮データの半導体メモリモジュールへの書き込みを停止し、代わりに、バックアップディスク装置36への非圧縮データの一時記憶を開始する。一時記憶を指示されたバックアップディスクアダプタ37は、セレクト37eを切り換え、内部バスインターフェースを介してチャネルアダプタ31から転送されたデータを圧縮することなくバックアップディスク装置36に書き込む。バックアップディスク装置36には予め十分な一時記憶用の領域が割り当てられており、既にバックアップデータとして格納されているユーザデータを破壊することはない。

【0079】バックアップディスク装置36への書き込みが完了すると、チャネルアダプタ31のMPUは、データバッファ31aに格納されている非圧縮データを内部バスインターフェース制御部31fを介して予備の半導体メモリモジュール33sに書き込む。これらの動作が完了した後、チャネルアダプタ31のMPU31gは、アップデータ情報d4や圧縮トラックを示すフラグd3及びデータが一時記憶領域であるバックアップディスク装置36に格納されていることを示すフラグd5の更新処理を行い、更新後のディレクトリ部DIRを半導体メモリモジュールに書き戻す。

【0080】バックアップディスク装置36への書き込み動作が完了すると、バックアップディスクアダプタ37はリソースマネージャ32に一時記憶した非圧縮データを半導体メモリモジュールに書き込むために、該半導体メモリモジュールの使用要求を出す。使用許可されると、バックアップディスクアダプタ37は非圧縮データをバックアップディスク装置36から読み出して半導体メモリモジュール33a～33nに書き込む。書き込みが終了すれば、書き込み終了をリソースマネージャ32に通知して処理を終了する。これにより、リソースマネージャ32は当該データに関する上位装置からのアクセスに対するビジー状態を解除する。

【0081】データ読み出し制御  
図33は半導体メモリモジュールからのデータ読み出しシーケンスの説明図である。ライト動作と同様に位置付けコマンドを受信したチャネルアダプタ31はリソースマネージャ32に対して半導体メモリモジュールの使用許可を要求する。使用許可されると、指示された物理的な位置付けパラメータから、該当する半導体メモリモジュールのアドレスの算出を行う。つまり、求めたアドレスが存在するトラックのディレクトリ情報を半導体メモリモジュールから読み出し、書き込まれている論理ドライブや物理ドライブに関する諸情報に対する処理を実施

する。

【0082】位置付け動作が完了してリードコマンドが上位装置から発行されると、チャネルアダプタ31のMPU31gは当該データが格納されている半導体メモリモジュール33a～33nからデータの読み出しを開始させる。MPU31gは圧縮・非圧縮の識別フラグを参照してデータが圧縮データであれば、該圧縮データを内部バスインターフェース制御部31f、セレクト31eを経由してデータ圧縮機構部31bに取り込まれる。データ圧縮機構部31bは取り込んだ圧縮データを復元し、データバッファ31a、データインターフェースプロトコル制御部31dを介してチャネルインターフェースへデータを送出する。一方、データが非圧縮データであれば、MPU31gは該非圧縮データを直接データバッファ31aに格納し、しかる後、該データをデータインターフェースプロトコル制御部31dを介してチャネルインターフェースへ送出する。

【0083】上述のリード動作において、チャネルアダプタ31のMPU31gはディレクトリ部DIRの内容に基づいてリードするデータの状態を判定する。データのライト時に、チャネルアダプタ31あるいはデータ管理アダプタ35により書き込まれた各種フラグd5～d7によりデータの状態を判断し、その状態に応じて上位装置へのステータス報告を行う。例えば、バックアップ使用フラグd5がセットされている場合、正常にデータの読み出しを行うことはできるが、半導体メモリモジュールの領域不足が考えられるので警告メッセージを応答する。又、コンペア失敗フラグd6がセットされており、リカバリ成功フラグd7がセットされていない場合には、データ検証処理と同様にしてデータの異常を応答し、当該データのライト転送を再度実施させる。

#### 【0084】バックアップ制御

半導体メモリは揮発性の記録媒体であるため、通常、システムが停止する場合や緊急時には、不揮発性媒体である磁気ディスク装置へデータをバックアップする処理が行われる。バックアップディスク装置36は図34に示すように、予め各半導体メモリモジュール33a～33n、33sに対応する領域36a～36n、36s及び一時的な記憶領域36pが割り当てられている。更に、各領域36a～36n、36sはトラック毎に細分化されており、それぞれが半導体メモリモジュール上でエミュレーションされているトラックに対応している。又、バックアップ動作の完了時刻及びリストアップ動作（バックアップディスク装置から半導体メモリモジュールへのデータの書き戻し）の完了時刻を格納する領域36q、36rを備えている。バックアップ動作が指示されると、バックアップディスクアダプタ37は、半導体メモリモジュール33a～33n、33sから内部バスインターフェースを介して転送されてきたデータを、内部バスインターフェース制御部37c、セレクト31eを経由し

てデータ圧縮機構部 37 a に入力する。データ圧縮機構部 37 a は入力されたデータを一括して圧縮し、磁気ディスクインターフェース制御部 37 d を介してバックアップディスク装置 36 の対応する位置に書き込む。

【0085】バックアップディスクアダプタ 37 は、バックアップ処理動作の完了時にその日時をバックアップディスク装置の領域 36 q に書き込み、データのリストア時にバックアップ処理完了時間を読み出し、内部的に記憶する。そして、再び、バックアップ動作が指示された場合には、記憶した時間と半導体メモリモジュールのトラック先頭に格納されているディレクトリ部のアップデータ情報との比較を行い、最後のバックアップ処理の時間よりも古いデータであれば当該トラックに関するデータのバックアップディスク装置 36 への書き込みは行わない。これにより、バックアップ時間の短縮が可能となる。

#### 【0086】変形例

以上の実施例では、チャネルアダプタ 31、メモリインタフェースアダプタ 34、バックアップディスクアダプタ 37 をそれぞれ 1 台としたが、複数台設けるように構成しても良い。又、以上ではデータ管理アダプタ 35 を 1 台として接続したが、複数のデータ管理アダプタを設け、並列処理を行うようにすることもできる。更に、以上ではバックアップディスク装置 36 に格納するデータをトラック単位としたが、シリンダ単位やセクタ単位で格納することもできる。又、非圧縮データを格納する予備の半導体メモリモジュールを設けたが、半導体メモリモジュール 33 a ~ 33 n の一部を使用することができ。

#### 【0087】効果

以上、データの圧縮して記憶するようにしたから、限られた半導体メモリ上に多くのデータを格納する半導体ディスク装置を提供できる。又、チャネルアダプタ内部に大容量のデータバッファを設けたから、上位装置とのデータ転送速度を一定に保持しながらデータ転送ができ、データ加工処理により発生するストレスを緩和することができる。更に、データ管理アダプタを採用することにより圧縮後のデータの正常性を上位装置との連携動作を必要とせずにサブシステム内部にて実行できる。又、データ検証の結果、データの異常が検出された場合においても、サブシステム内部にてリカバリ処理ができる。又、更新情報をディレクトリ部及びバックアップディスク装置に格納したから、データのバックアップ動作に要する時間を短縮できる。

#### 【0088】(c) メモリのインシャライズ インシャライズ方式の概略

図 35 は 1・0 サブシステム内の半導体ディスク等に用いられるメモリのインシャライズ方式の従来の説明図である。(a)において、INCT は従来のインシャライズ用アドレスカウンタであり、CA0 ~ CA n は (n + 1)

ビットのカラムアドレス (列アドレス)、RA0 ~ RA m は (m + 1) ビットのローアドレス (行アドレス) を表している。揮発性メモリであるダイナミック RAM のアドレスは、メモリの行方向を示す行アドレスと、列方向を示す列アドレスの 2 つに分けて与えられる。従来のインシャライズ用アドレスカウンタでは CA0 がカウンタ出力信号の最下位ビット、RA m が最上位ビットとなっており、このカウンタ INCT が動作することにより、連続的に昇順するシリアルなアドレス信号が生成される。かかる従来のカウンタ INCT を用いたインシャライズ動作時における初期設定データの書き込みは、メモリセル上において図 35 (b) の実線矢印で示すように順次行方向に行われる。

【0089】ところで、ダイナミック RAM では一定時間毎にリフレッシュする必要がある。ダイナミック RAM でのリフレッシュ動作は、図 36 (a) に示すように、1 行の行アドレス RA で示される 1 行分 ① にある全セルのデータをメモリ内のセンスアンプ SA に読み出し、それを元の行に書き戻すことによって、セルに蓄えられる電荷を一定値以上に保持し、かかる動作を一定時間毎に全行について実行することである。このリフレッシュを一定時間毎に全セルに対して実行しないとメモリ上のデータは消失してしまう。尚、データ書き込み時には、かかるリフレッシュを実行したのと同じ効果が得られる。すなわち、データの書き込みは図 36 (b) に示すように、外部から与えられた行アドレス RA で示される 1 行分 ② をセンスアンプ SA に読み出し、列アドレス CA によって示される 1 つのセル ③ を外部から与えられるデータで更新し、しかる後、元の行に書き戻すことにより行われる。このため、書き込みを実行すると、書き込みの対象である 1 つのセル ③ を含む 1 行分 ② 上の全セルに対してリフレッシュを実行したのと同じ効果が得られる。

【0090】ここで、再び図 35 (b) を参照すると、図中 ① のセルからインシャライズ用の初期設定データの書き込みを順次実行すると、② のセルを書き込む迄に、セル ① が電荷を保持しておける時間を超過し、該 ① のセルの電荷が失われてしまう。このため、従来では、インシャライズ中にも図 36 (a) で説明したリフレッシュ動作が必要であり、インシャライズに長時間を要する問題があった。

【0091】一方、図 37 (a) に示す本発明によるインシャライズ用アドレスカウンタ INCT では、カウンタの出力信号の最下位ビットを RA0、最上位ビットを CA n としている。このようにすれば、カウンタが動作することによって生成されるアドレスは、従来のようなシリアルなアドレスではなく、インシャライズ動作時のデータ書き込みもメモリセル上において図 37 (b) の実線矢印に示すように順次列方向に行われる。かかる書き込みでは、② のセル迄書き込んだ後、③ のセルの書き込みが行われるが、① のセルから② のセルを書き込むまでの時

10

20

30

40

50

間にはリフレッシュを必要とする時間よりも短くできる。このため、まだ①のセルの電荷は蓄えられたままになっており、更に②のセルを書き込む時、図36(b)で説明した書き込み動作時のリフレッシュ効果により、③と同じ行にある④のセルに対してリフレッシュが掛けられることになる。つまり、本発明のイニシャライズ用アドレスカウンタを用いたイニシャライズでは、個別にリフレッシュ動作を指示する必要がなく、その分イニシャライズ時間を短縮できる。

#### 【0092】実施例の構成

図38は本発明のイニシャライズ方式を具現化した実施例の構成図である。41はリフレッシュを必要とする揮発性のメモリで、例えばダイナミックRAM、42はアクセス制御部、43はイニシャライズ用アドレス発生部、44はデータ発生部、45はアドレス切換部である。イニシャライズ用アドレス発生部43において、43aは $(n+1)$ ビットのアップカウンタであり、イニシャライズ用の列アドレスCA0~CANを出力するもの、43bは $(m+1)$ ビットのアップカウンタであり、イニシャライズ用の行アドレスRA0~RAmを出力するものである。動作開始時点では、各カウンタ43a、43bは共に論理0を出力している。データ発生部44において、44aは初期設定データを記憶するレジスタ、44bは初期設定データと書き込みデータを選択するセレクト、44cはデータ格納レジスタである。アドレス切換部45において、45aはイニシャライズ用の列アドレスとデータアクセス用の列アドレスを切り換えるセレクト、45bはイニシャライズ用の行アドレスとデータアクセス用の行アドレスを切り換えるセレクト、45cは切り換え信号SWSにより行アドレスと列アドレスを選択的に出力するセレクトである。

【0093】図39は図38の動作を説明するためのタイムチャートであり、カウンタ43a、43bと、セレクト45cの動作を示している。電源投入によりイニシャライズ信号ISTが発生すると、セレクト44bは入力信号を上位モジュールからのデータ信号DTから、レジスタ44aの出力信号であるイニシャライズ用書き込みデータ(初期設定データ)IDTに切り換え、レジスタ44cに該初期設定データIDTを格納する。又、セレクト45aは入力信号を上位モジュールからの列アドレスCA0'~CAN'から、カウンタ43aの出力信号であるイニシャライズ用の列アドレスCA0~CANに切り換え、セレクト45bは入力信号を上位モジュールからの行アドレスRA0'~RAm'から、カウンタ43bの出力信号であるイニシャライズ用の列アドレスRA0~RAmに切り換える。

【0094】アンドゲート43cはクロック信号CLをカウンタ43bとアンドゲート43dに出力する。ここで、カウンタ43bから出力されるキャリー信号CRYは、まだ論理0の状態なので、カウンタ43aにはクロ

ック信号CLは与えられない。カウンタ43bはクロック信号CLによりカウントアップを行う。切換信号SWSはクロック信号の半分の周期で変化するため、セレクト45cの出力ADは図39に示すように1クロックの間に交互に行アドレスRA、列アドレスCAを出力する。この時に、メモリ内部のセルに書き込まれる順番は、図37(b)のセル①からセル②への順番(行方向にシリアルな順番)となる。カウンタ43bのカウントアップが進み、イニシャライズ用の行アドレス信号RA0~RAmが全て"1"になると、カウンタ43bのキャリー信号CRYが出力されてアンドゲート43dが開き、次のクロックでカウンタ43aがカウントアップされ、カウンタ43bの出力は全て論理0となる。このため、キャリー信号CRYは再び論理0となる。そして、カウンタ43bがカウントアップされて行くが、この時、メモリ内部のセルに書き込まれる順番は図37(b)のセル③からセル④への順番になる。この第2列の書き込みにより、前述したリフレッシュ効果でセル①からセル②までのセルに対してリフレッシュが行われる。

【0095】以上の動作を繰り返してゆき、カウンタ43a、43bの出力が全て論理"1" (図37(b)のセル⑤を示す) になると、カウンタ43a、43b双方のキャリー信号CRY、CRY'が共に"1"となるため、アンドゲート43eの出力信号であるイニシャライズ終了信号IEDが出力され、メモリ41のイニシャライズが終了したことが上位モジュールに通知される。

【0096】図40は本発明の別の実施例構成図であり、各記憶モジュール40i~40nにおいて、図38の実施例と同一部分には同一番号を付している。この実施例においては、アクセス制御回路46から配下にある記憶モジュール40i~40nに個別にアクセス要求ができ、例えば、上から2番目の記憶モジュール40iが活性挿抜により追加されたものとする、上位モジュールからのイニシャライズ要求により、アクセス制御回路46はイニシャライズ指示信号ISTbを送信する。これにより、記憶モジュール40i内のフリップフロップ47がセットされ、記憶モジュール内のアクセス制御部42が前述のイニシャライズ用アドレスの生成を行ってメモリ41のイニシャライズを実行する。一通りイニシャライズが終了すると、イニシャライズ終了信号IEDbが発生し、フリップフロップ47はリセットされ、同時にアクセス制御回路46にもイニシャライズ終了が通知される。尚、このイニシャライズ動作はリフレッシュ動作を必要とせず、しかも、記憶モジュール40iが単体で実行するため、アクセス制御回路46はイニシャライズ指示信号ISTbを送信した後、イニシャライズ終了信号IEDbを受信するまでイニシャライズを行っていることを気にする必要がなく、イニシャライズ中は他の記憶モジュールに対するアクセス処理を行える。

【0097】又、図40には示していないが、もう一つの

アクセス制御回路46を設け、2つのアクセス制御回路46から複数の記憶モジュール40<sub>1</sub>～40<sub>i</sub>を個別にアクセスできるような構成にすることもできる。かかる構成において、活性挿抜によって記憶モジュールが追加された時、片方のアクセス制御回路からイニシャライズ指示信号1STA～1STDを送信する。しかる後、指示を受けた記憶モジュールが単体でイニシャライズ動作を実行する。このため、イニシャライズ中でも2つのアクセス制御回路46が上位モジュールからのアクセス要求を処理し続けることができる。

#### 【0098】高速アクセス可能な場合のイニシャライズ方式

高速イニシャライズを実行する方法としては、ニブルモードや高速ページモード等の高速アクセスが可能なダイナミックRAMを用いることが考えられる。ニブルモードや高速ページモードでは、1回のアクセスで、メモリセル上の1つの行にある連続した4つのセル又は1つの行にある任意の4つのセルをリード・ライトすることができる。図41は高速ページモードに用いる場合のイニシャライズ用アドレスカウンタの構成を示す。このイニシャライズ用アドレスカウンタは、2ビットのカウント51と、(n-1)ビットのカウント52と、(m+1)ビットのカウント53とアンドゲート54～56で構成されている。

【0099】カウンタ51は常時クロック信号CLが入力されており、カウンタ53はカウンタ51のキャリー信号CRY1が出力されている(カウンタ51の出力が全て論理1)時だけ、クロック信号CLが入力されており、カウンタ52はカウンタ51とカウンタ53の各々のキャリー信号CR1、CRY3が同時に出力された時だけクロック信号CLが入力される。又、カウンタ51の出力は列アドレスの下位2ビットCA0、CA1、カウンタ52の出力は列アドレスの上位(n-1)ビットCA2～CAN、カウンタ53の出力は(m+1)ビットの行アドレスRA0～RAmとして出力される。更に、カウンタ51～53全てのキャリー信号CRY1～CRY3が出力された時、アンドゲート54の出力信号IEDが論理1となりイニシャライズの終了を通知する。

【0100】このイニシャライズ用アドレスカウンタを用いたイニシャライズ時のデータ書き込みはメモリセル上において図42に示すような順番(①→②)に行われ、①～②のセルに書き込まれたデータは、⑦～⑧のセルにデータを書き込む時にリフレッシュされる。尚、①のセルから⑧のセルに書き込む迄に要する時間は、リフレッシュを実行しなければならない時間よりも短い。

【0101】図43はメモリが複数のブロックに分割されている場合におけるイニシャライズの実施例構成図であり、メモリ41が4つの記憶ブロック41a～41dに分割されている場合を示す。この場合、上位モジュール

ルからのアドレス信号ADは、①列アドレス信号CA0'～CAN'と、②行アドレスRA0'～RAm'と、③記憶ブロックを選択するための信号BSLを含んでいる。信号BSLは、セレクト45dを通じて選択信号SLa～SLdとして出力され、選択信号SLa～SLdを受信した記憶ブロック41a～41dがアクセスされるようになっている。そのため、イニシャライズ時は、アドレスの送信と共に記憶ブロック41a～41dを選択する操作が必要になる。このため、イニシャライズ用アドレスカウンタ43は図44に示すような構成となる。図44に示すイニシャライズ用アドレスカウンタは、前述した高速ページモードを用いることを前提としており、図41の構成に2ビットのカウント57と、カウンタ出力をデコードするデコーダ58と、アンドゲート59a、59bを加えた構成になっている。

【0102】カウンタ51は常時クロックCLが入力されており、カウンタ53はカウンタ51のキャリー信号CRY1が出力されている時だけクロック信号が入力されており、カウンタ52にはカウンタ51、53の各々のキャリー信号CRY1、CRY3が同時に出力されている時だけ、クロック信号CLが入力されており、カウンタ52はカウンタ51、52、57の各々のキャリー信号CRY1、CRY2、CRY4が同時に出力されている時だけクロック信号CLが入力される。

【0103】このイニシャライズ用アドレスカウンタを用いたイニシャライズ動作によりデータが書き込まれる順番は図45に示すような順番になる。尚、図45においては記憶ブロック41a～41dは図43における記憶ブロック41a～41dの各々が持つメモリ素子の内部セルを示している。セル①からセル⑧迄の書き込みは、前述した図42の場合と同じであるが、セル⑧を書き込んだ後、カウンタ57の出力が変化し、記憶ブロック41bが選択されるため、該記憶ブロック41bのセル⑦から書き込みが行われ、以後、同様に記憶ブロック41c、41dの書き込みが行われる。記憶ブロック41dへの書き込みが終了すると、記憶ブロック41aが再び選択されるが、この時、カウンタ52がカウントアップされるため、記憶ブロック⑨から書き込みが行われる。そして、⑨～⑯のセルにデータを書き込む時に①～②のセルがリフレッシュされるため、記憶内容が消失することはない。

#### 【0104】効果

以上のように、リフレッシュが必要なメモリのイニシャライズ時、アドレス生成を特定の規則に従って行うことにより、個別のリフレッシュ動作が不要になりイニシャライズ時間を短縮できる。又、上位モジュールやアクセス制御部はリフレッシュを気にすることなくイニシャライズを行うことができ、構成によってはイニシャライズを行うことによるメモリアクセス性能の低下を防ぐことができ、情報処理装置の性能を向上させることができる。

以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

#### 【0105】

【発明の効果】以上本発明によれば、データの一部を圧縮して記憶するようにしたから、限られた半導体メモリ上に多くのデータを格納する半導体ディスク装置を提供することができる。又、本発明によれば、圧縮する場合、チャネルアダプタ内部に大容量のデータバッファを設けたから、上位装置とのデータ転送を一定に保持しながら圧縮でき、データ圧縮処理により発生するストレスを緩和することができる。更に、本発明によれば、圧縮後のデータの正常性を上位装置との連携動作を必要とせずにサブシステム内部にて実行でき、しかも、データ検証の結果、データの異常が検出された場合にはサブシステム内部にてリカバリ処理ができる。以上より、データを圧縮して記憶できるため、大量のデータを記憶でき、I/Oサブシステムの性能を向上できる。

【0106】又、本発明によれば、行単位でリフレッシュ動作が必要な揮発性メモリに初期設定データを書き込んでインシャライズする際、列アドレスCAを一定値iに固定した状態で、行アドレスRAを昇順様で順次発生して第1列の全メモリセルに初期設定データを書き込み、ついで、列アドレスを歩進して同様の初期設定データの書き込みを行うようにしたから、データ書き込み時にリフレッシュと書き込みを同時に行えるため、1列分のデータ書き込み時間がリフレッシュの必要時間間隔より短い場合にはリフレッシュを別途行う必要がなくインシャライズ時間を短縮できる。更に本発明によれば、高速メモリの場合には、列アドレスCAを下位列アドレスと上位列アドレスに分け、上位列アドレスと行アドレスを固定した状態で下位列アドレスを昇順様で順次発生して第j行の下位列アドレスで指定されるメモリセルに初期設定データを書き込み、ついで、行アドレスを歩進して同様の初期設定データの書き込みを行い、全行アドレスについて上記書き込みを行った後、上位列アドレスを歩進して上記初期設定データの書き込みを繰り返すようにしたから、リフレッシュを別途行う必要がなく高速のインシャライズが可能となる。以上より、本発明によれば、インシャライズ時間を短縮できるため、I/Oサブシステムの性能を向上することができる。

【0107】以上の説明に関して更に以下の項を開示する。

(1) 複数の半導体メモリチップにより構成された半導体メモリモジュールと、半導体メモリモジュールへのデータの書き込み及び読み出しを制御するメモリインターフェースアダプタと、上位装置及びメモリインターフェースアダプタとの間でデータの入出力制御を行うチャネルアダプタと、半導体メモリモジュールのアクセスに関して排他制御を実行する排他制御部を備えたI/Oサブ

システムにおけるデータ記憶方法において、①データを半導体メモリモジュールに記憶する場合、チャネルアダプタにおいて該データを圧縮して半導体メモリモジュールに書き込み、②書き込み後、半導体メモリモジュールより該書き込んだ圧縮データを読み出して復元し、③該復元データと圧縮前のデータと比較して半導体メモリモジュールに書き込まれた圧縮データの検証を行う。この場合、チャネルアダプタに大容量のデータバッファとデータ圧縮機構を設け、データ圧縮機構によりデータバッファに格納された入力データを圧縮して半導体メモリモジュールに書き込む。

【0108】(2) 第1項記載のデータ記憶方法において、圧縮データを半導体メモリモジュールに書き込み後、データバッファに格納されている圧縮前のデータを予備の半導体メモリモジュールに書き込み、該予備の半導体メモリモジュールより前記比較に用いる圧縮前のデータを読み出す。

(3) 第2項記載のデータ記憶方法において、データ比較の結果、異常が検出された場合には予備の半導体メモリモジュールから読み出したデータを圧縮して半導体メモリモジュールに書き込み、しかる後、半導体メモリモジュールより該書き込んだ圧縮データを読み出して復元し、該復元データと圧縮前のデータと比較して半導体メモリに書き込まれた圧縮データの検証を行う。

【0109】(4) 複数の半導体メモリチップにより構成された半導体メモリモジュールと、半導体メモリモジュールへのデータの書き込み及び読み出しを制御するメモリインターフェースアダプタと、上位装置及びメモリインターフェースアダプタとの間でデータの入出力制御を行うチャネルアダプタと、半導体メモリモジュールのアクセスに関して排他制御を実行する排他制御部を備えたI/Oサブシステムにおけるデータ記憶方法において、①データを半導体メモリモジュールに記憶する場合、チャネルアダプタにおいて該データを圧縮して半導体メモリモジュールに書き込み、②書き込み後、半導体メモリモジュールより該書き込んだ圧縮データを読み出して復元し、③該復元データと圧縮前のデータと比較して半導体メモリモジュールに書き込まれた圧縮データの検証を行い、④前記データ比較を実行中、前記排他制御部は当該半導体メモリモジュールに対するアクセス要求に対してビジー応答する。

【0110】(5) 列アドレスと行アドレスを指定されてアクセスされると共に、行単位でリフレッシュ動作を行う揮発性メモリのインシャライズ方法において、①揮発性メモリに初期設定データを書き込んでインシャライズする際、列アドレスを一定値iに固定した状態で、行アドレスを昇順様で順次発生して第1列の全メモリセルに初期設定データを書き込み、②ついで、列アドレスを歩進して同様の初期設定データの書き込みを行う。又、③前記揮発性メモリの列アドレスi、行アドレスjにデ

ータを書き込む場合、行アドレス j の全メモリスルの内容をセンスアンプに読み出し、④列アドレス i により指定されるセルの内容を初期設定データで更新し、更新後のデータを行単位で元の行アドレスに書き込み、リフレッシュと書き込みを同時に行う。

【図面の簡単な説明】

【図 1】本発明の概略説明図（その 1）である。  
【図 2】本発明の概略説明図（その 2）である。  
【図 3】本発明の概略説明図（その 3）である。  
【図 4】1/0 サブシステムとしての半導体ディスク装

置の構成図である。  
【図 5】排他制御テーブルの説明図である。  
【図 6】O C リンクインターフェース方式の説明図である。  
【図 7】エクスポージャの説明図である。  
【図 8】従来技術による排他制御テーブルの構成図である。

【図 9】半導体ディスク装置におけるデータフォーマット説明図である。

【図 10】イニシャライズ説明図である。  
【図 11】複数の記憶部とアクセス制御部を有する場合のイニシャライズ説明図である。

【図 12】本発明の排他制御の実施例構成図である。  
【図 13】各ユニットのハードウェア構成図である。  
【図 14】論理バス管理テーブルの説明図である。  
【図 15】排他制御テーブルの説明図である。  
【図 16】論理バス番号割り当て制御の説明図（上位インターフェースと物理インターフェースが 1 対 1 に対応）である。

【図 17】論理バス管理テーブルの記憶内容説明図である。

【図 18】論理バス番号割り当て制御の説明図（上位インターフェースと論理インターフェースが 1 対 1 に対応）である。

【図 19】論理バス番号割り当て制御の説明図（エクスポージャの場合）である。

【図 20】リソースマネージャの論理バス番号割り当て制御の流れ図である。

【図 21】チャネルアダプタの論理バス番号割り当て制御の流れ図（その 1）である。

【図 22】チャネルアダプタによる論理バス番号の登録説明図である。

【図 23】チャネルアダプタの論理バス番号割り当て制

御の流れ図（その 2）である。

【図 24】排他制御の処理の流れ図である。

【図 25】半導体ディスク装置の実際の構成図である。

【図 26】データを圧縮して記憶する場合の実施例構成図である。

【図 27】チャネルアダプタの構成図である。

【図 28】データ管理アダプタの構成図である。

【図 29】バックアップディスクアダプタの構成図である。

【図 30】本発明のデータフォーマット説明図である。

【図 31】本発明の書き込みシーケンス説明図である。

【図 32】領域オーバーフロー発生時のデータ書き込みシーケンス説明図である。

【図 33】データリード時のシーケンス説明図である。

【図 34】バックアップディスク装置の記憶領域説明図である。

【図 35】従来のイニシャライズ説明図である。

【図 36】リフレッシュ動作説明図である。

【図 37】本発明のイニシャライズ説明図である。

【図 38】本発明のイニシャライズ方式を具現化した実施例構成図である。

【図 39】動作説明用のタイムチャートである。

【図 40】本発明の別の実施例構成図である。

【図 41】高速アクセス可能な場合のイニシャライズ用アドレスカウンタの構成図である。

【図 42】高速アクセス可能な場合のイニシャライズ説明図である。

【図 43】メモリが複数に分割されている場合のイニシャライズの実施例構成図である。

【図 44】メモリが複数に分割されている場合のイニシャライズ用アドレスカウンタの構成図である。

【図 45】メモリが複数にブロック化されている場合のイニシャライズ説明図である。

【符号の説明】

30・・・上位装置

31・・・チャネルアダプタ

32・・・排他制御部（リソースマネージャ）

33a～33n・・・半導体メモリモジュール

34・・・メモリインタフェースアダプタ

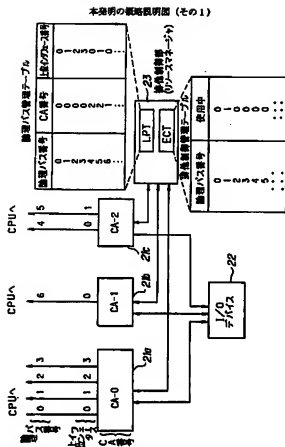
35・・・データ管理アダプタ

41・・・揮発性メモリ

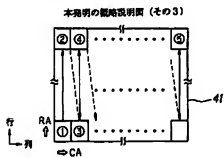
CA・・・列アドレス

RA・・・行アドレス

【図1】



【図3】

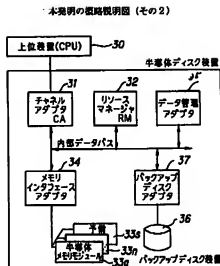


【図17】

論理バス管理テーブルの記憶内容説明図

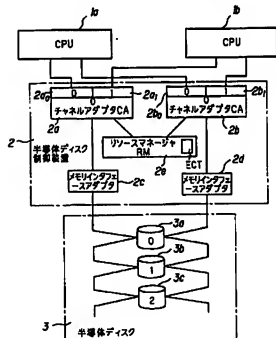
論理バス番号	CA番号	上位インテラ番号
0	0	0
1	0	1
2	0	2
3	0	3
4	0	4
5	0	5
6	0	6
7	0	7
8	0	8
9	0	9
10	0	10
11	0	11
12	0	12
13	0	13
14	0	14
15	0	15
16	0	16
17	0	17
18	0	18
19	0	19
20	0	20
21	0	21
22	0	22
23	0	23
24	0	24
25	0	25
26	0	26
27	0	27
28	0	28
29	0	29
30	0	30
31	0	31
32	0	32
33	0	33
34	0	34
35	0	35
36	0	36
37	0	37
38	0	38
39	0	39
40	0	40
41	0	41
42	0	42
43	0	43
44	0	44
45	0	45
46	0	46
47	0	47
48	0	48
49	0	49
50	0	50
51	0	51
52	0	52
53	0	53
54	0	54
55	0	55
56	0	56
57	0	57
58	0	58
59	0	59
60	0	60
61	0	61
62	0	62
63	0	63
64	0	64
65	0	65
66	0	66
67	0	67
68	0	68
69	0	69
70	0	70
71	0	71
72	0	72
73	0	73
74	0	74
75	0	75
76	0	76
77	0	77
78	0	78
79	0	79
80	0	80
81	0	81
82	0	82
83	0	83
84	0	84
85	0	85
86	0	86
87	0	87
88	0	88
89	0	89
90	0	90
91	0	91
92	0	92
93	0	93
94	0	94
95	0	95
96	0	96
97	0	97
98	0	98
99	0	99

【図2】



【図4】

I/Oサブシステムとしての半導体ディスク装置の構成図



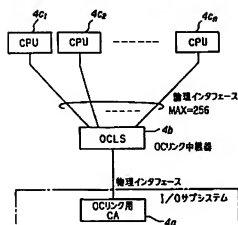
【図5】

排他制御テーブルの説明図

デバイス番号	0	1	2
使用中	0	0	0
物理インタフェース	0	0	0
チャネル番号	0	1	2

【図6】

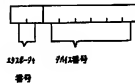
OCリンクインタフェース方式の説明図



【図7】

エクスポージャの説明図

(A)  
ビット上位 0 1 2 3 4 5 6 7 下位



c)

エクスポージャ番号	1/0デバイスアドレス
0	(00) hex
1	(40) hex
2	(80) hex
3	(C0) hex

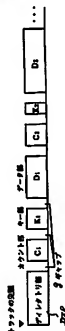
【図9】

半導体ディスク装置におけるデータフォーマット説明図

【図8】

従来技術による排他制御テーブルの構成図

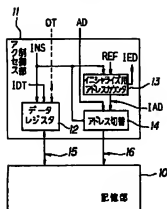
CA番号	物理インタフェース	物理インタフェース	排他制御管理説明
0	0	0	...
		1	...
		2	...
		3	...
		...	...
		n2-1	...
1	0	0	...
...	...	...	...
...	...	...	...
n1-1	0	0	...
	...	...	...
	n2-1	n3-1	...





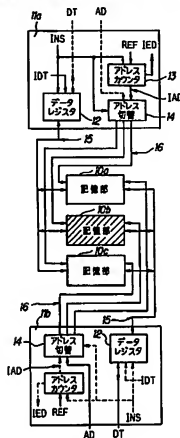
【図10】

イニシャライズ説明図



【図11】

複数の記憶部とアクセス制御部を有する場合のイニシャライズ説明図



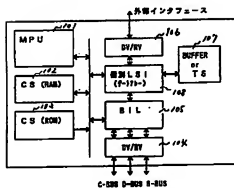
【図15】

操作制御テーブルの説明図

その他の情報	...
リザーブ	0-0000
使用済/未使用	0-0000
管理バス番号	0-NM+0...

【図13】

各ユニットのハードウェア構成図



【図14】

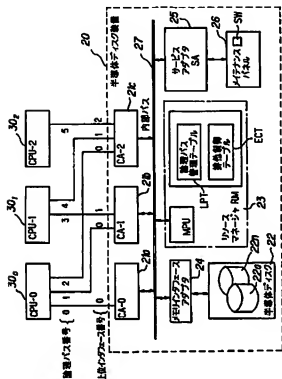
論理バス管理テーブルの説明図

論理バス番号	CA番号	上位インタフェース番号
0	0	0
1	1	0
2	1	1
3	2	0
4	2	1
5	2	2
.	.	.
.	.	.
.	.	.
.	.	.

LPT

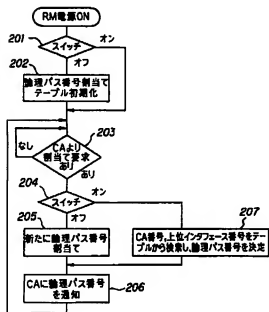
【图 12】

本発明の排他制御の実施例構成図



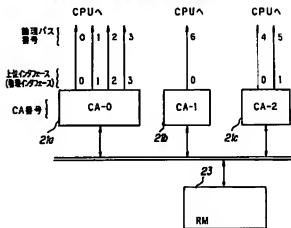
【図 20】

リソースマネージャの論理バス番号割当て制御の流れ図



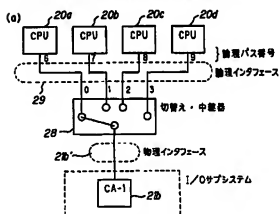
【图 16】

論理バス番号割り当て制御の説明図  
(上位インタフェースと物理インタフェースが1:1に対応)



【图 18】

論理バス番号割り当て制御の説明図  
(上位インタフェースと論理インタフェースが1対1に対応)

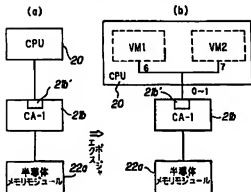


(b) 陸型バス管理テーブル

論理バス番号	CA番号	上位インタフェース番号
0	0	0
1	0	1
2	0	2
3	0	3
4	2	0
5	2	1
6	1	0
7	1	1
8	1	2
9	1	3

【図19】

論理バス番号割り当て制御の説明図  
(エクスポートの場)



(c)

論理バス管理テーブル

論理バス番号	CA番号	上位インタフェース番号
0	0	0
1	0	1
2	0	2
3	0	3
4	0	4
5	1	0
6	1	1
7	1	2
8	1	3
9	1	4
10	1	5
11	1	6
12	1	7
13	1	8
14	1	9
15	1	10

【図22】

チャネルアダプタによる論理バス番号登録説明図

(a)

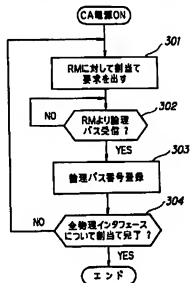
上位インタフェース番号	論理バス
0	
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	
11	
12	
13	
14	
15	

(b)

上位インタフェース番号	OCリソ番号	論理バス番号
0		
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		

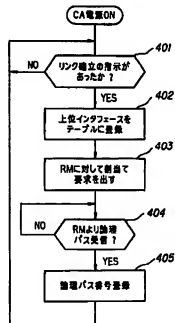
【図21】

チャネルアダプタの論理バス番号割り当て制御の流れ図 (その1)

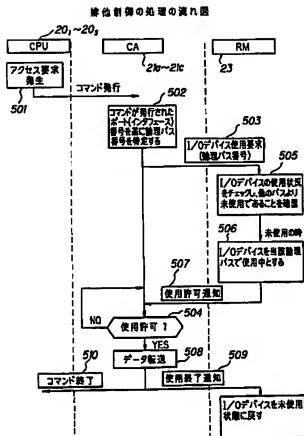


【図23】

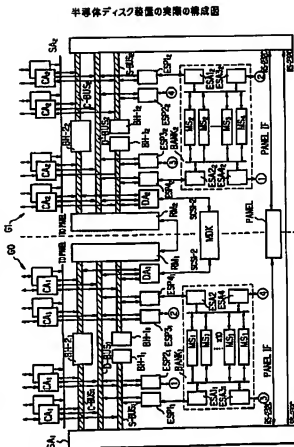
チャネルアダプタの論理バス番号割り当て制御の流れ図 (その2)



【図24】

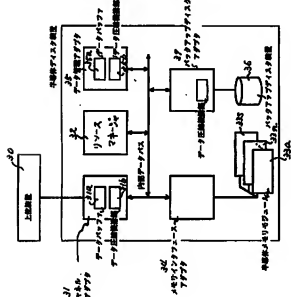


【図25】



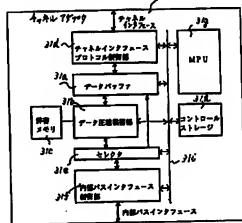
【図26】

データを圧縮して記録する場合の実施例構成図

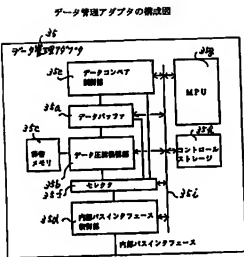


【図27】

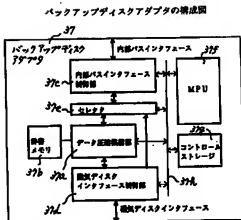
チャネルアダプタの構成図



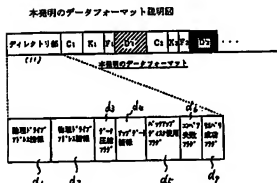
【图 28】



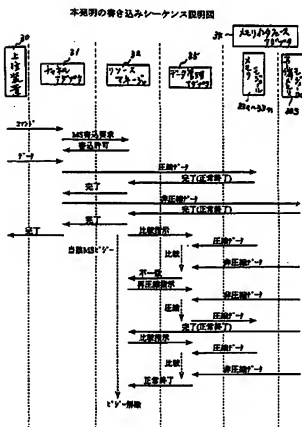
【图 29】



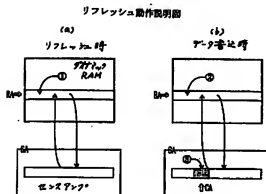
【图30】



【图 3-1】

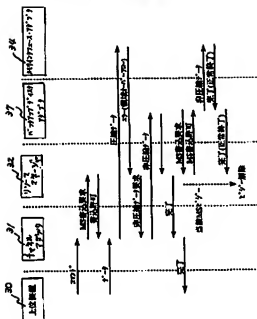


【图 3-6】



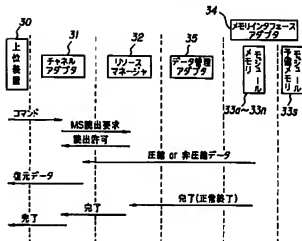
【図32】

領域オーバーフロー発生時の  
データ転送シーケンス説明図



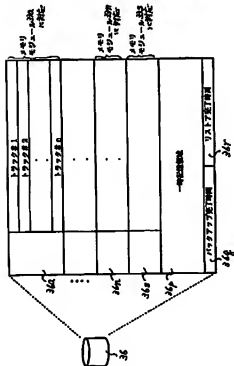
【図33】

データリード時のシーケンス説明図



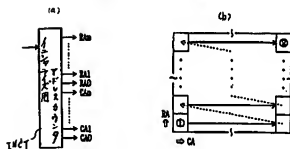
【図34】

バックアップディスク装置の記憶領域説明図



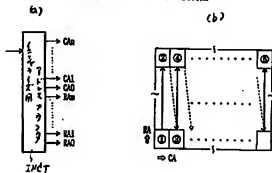
【図35】

従来のイニシャライズ説明図



【図37】

本発明のイニシャライズ説明図









フロントページの続き

(72)発明者 垣見 利明

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内